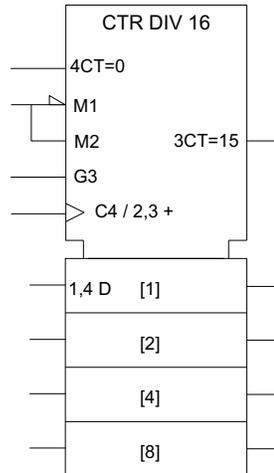


Aulas de Problemas nº 6 e 7

Contadores; Síntese de Circuitos Sequenciais Síncronos; Memórias

Problema 1. Considere o seguinte contador:



a) De que tipo de contador se trata?

R: Síncrono, ascendente, de módulo 16.

b) Qual é o tipo e a estrutura dos flip-flops utilizados nos contador?

R: Tipo D edge-triggered.

c) O contador conta ascendentemente, descendentemente, ou em ambos os sentidos?

R: Ascendentemente (indicado pelo símbolo "+").

d) Que entradas é necessário que estejam activas para que o contador "conte"?

R: 2, 3 e 4 (indicado por "C4/2,3+"). Para contar "+", M2 e o enable G3 têm que estar activos e tem que ocorrer um flanco ascendente no relógio.

e) Qual é o significado dos qualificadores M1 e M2?

R: Modos de funcionamento. M1 = carregamento paralelo; M2 = Contagem

f) Dê uma designação semanticamente apropriada para as entradas M1 e M2 e 4CT=0.

R: M1 LOAD; M2 COUNT; 4CT=0 CLEAR (ou RESET)

g) Para que serve a entrada com o qualificador G3?

R: Enable de contagem.

h) Qual é o significado do qualificador 3CT=15?

R: Quando o contador está no valor 15, a saída fica activa.

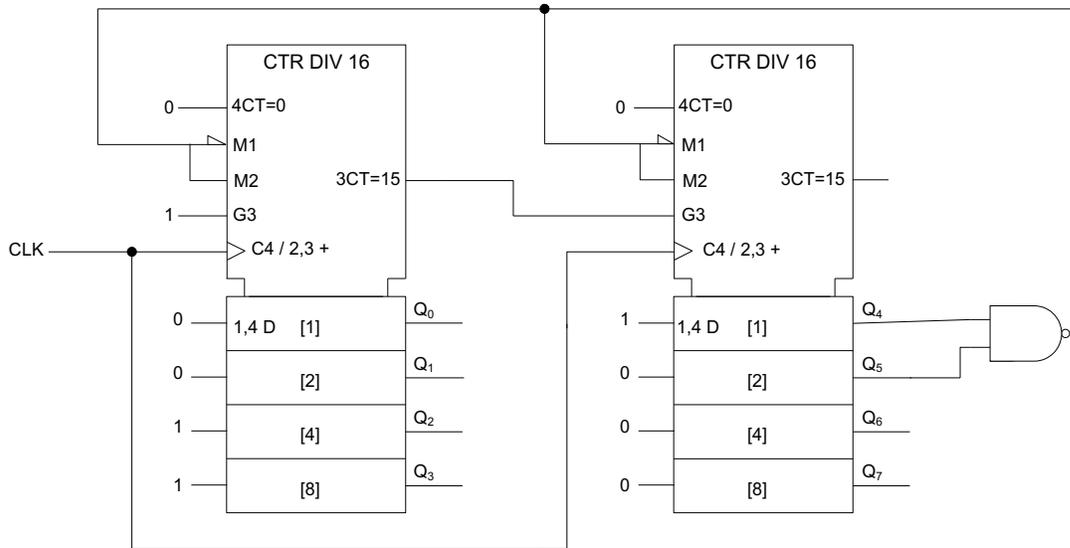
i) Dê uma designação semanticamente apropriada para a saída 3CT=15.

R: Final de contagem.

g) Concretize um contador binário módulo 10, com ciclo de contagem de 3 a 12, utilizando o contador indicado e uma única porta lógica adicional.

R: Nas entradas de carregamento paralelo coloca-se “0011”, para que o contador carregue o valor 3 quando recebe a instrução de LOAD. Nas saídas tem que se detetar o valor “1100” (um And nas saídas [8] e [4] é suficiente), e quando ocorre esse valor na saída, manda-se o contador passar para o M1, i.e., queremos que a entrada M1 fique ativa quando nas saídas do contador está o valor 12. Como M1 é ativo a Low, então tem que se utilizar um Nand em vez de um And, e ligar a saída da porta Nand a M1.

Problema 2. Considere o seguinte circuito:



a) O circuito representa um contador síncrono ou assíncrono? Justifique.

R: Síncrono. O relógio dos 2 contadores é comum.

b) Indique qual o ciclo de contagem do circuito.

R: Conta entre 00011100 (que é o valor carregado pelo contador quando M1=0) e 00110000 (que é o valor que faz com que M1 seja igual a 0). Façam as contas para saber quanto valem estes valores em decimal...

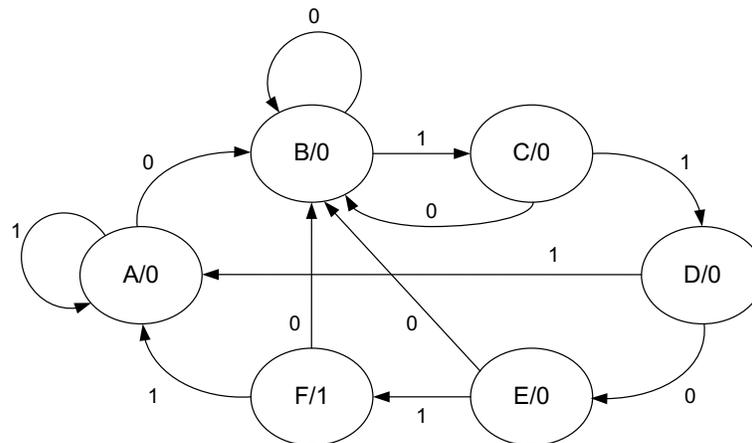
Problema 3. Em vários sistemas de comunicação de dados binários, torna-se por vezes necessária a identificação de determinadas sub-sequências de bits dentro de uma sequência maior (cabeçalhos de mensagens, códigos de erro, etc...). Por exemplo, na seguinte mensagem, cada sequência de dados é iniciada com a palavra binária ‘01101’:

....00111011100001101001110001001100110111000101101001100100011110011010010001011...

- a) Projete um circuito sequencial síncrono de Moore com uma entrada X e uma saída Y. A saída Y deve ser colocada a 1 sempre que surja em X a sequência '01101'. A colocação da saída Y a 1 deve ocorrer quando o último bit da sequência for detetado. Obtenha o logograma do circuito usando flip-flops D *edge-triggered* positivo.

R:

Diagrama de estados (Moore):



Caracterização dos estados:

- A → Espera o início da sequência;
- B → 1º '0' detetado / espera o 1º '1';
- C → 1º '1' detetado / espera o 2º '1';
- D → 2º '1' detetado / espera o 2º '0';
- E → 2º '0' detetado / espera o 3º '1';
- F → 3º '1' detetado / coloca Y a '1';

Codificação dos estados:

<i>ESTADO</i>	Q_2	Q_1	Q_0
A	0	0	0
B	0	0	1
C	0	1	0
D	0	1	1
E	1	0	0
F	1	0	1

Tabela de transições de estados: (NOTA: nas aulas a entrada X foi colocada na tabela numa coluna a seguir ao estado presente. Isto leva a que as equações do circuito resultem diferentes, dado que aqui o X passa a aparecer nos mapas de Karnaugh como a variável de maior peso. Ambas as soluções são corretas, mas aconselho q que, por uniformização, desenhem a tabela sempre como foi feito na aula de Problemas)

	<i>Entrada Estado presente</i>				<i>Estado seguinte</i>			
	<i>X</i>	<i>Q₂</i>	<i>Q₁</i>	<i>Q₀</i>	<i>Q₂</i>	<i>Q₁</i>	<i>Q₀</i>	
A	0	0	0	0	0	0	1	B
B	0	0	0	1	0	0	1	B
C	0	0	1	0	0	0	1	B
D	0	0	1	1	1	0	0	E
E	0	1	0	0	0	0	1	B
F	0	1	0	1	0	0	1	B
G	0	1	1	0	X	X	X	X
H	0	1	1	1	X	X	X	X
A	1	0	0	0	0	0	0	A
B	1	0	0	1	0	1	0	C
C	1	0	1	0	0	1	1	D
D	1	0	1	1	0	0	0	A
E	1	1	0	0	1	0	1	F
F	1	1	0	1	0	0	0	A
G	1	1	1	0	X	X	X	X
H	1	1	1	1	X	X	X	X

$$D_2 = \bar{X}.Q_1.Q_0 + X.Q_2.\bar{Q}_0$$

$$D_1 = X.Q_1.\bar{Q}_0 + X.\bar{Q}_2.\bar{Q}_1.Q_0$$

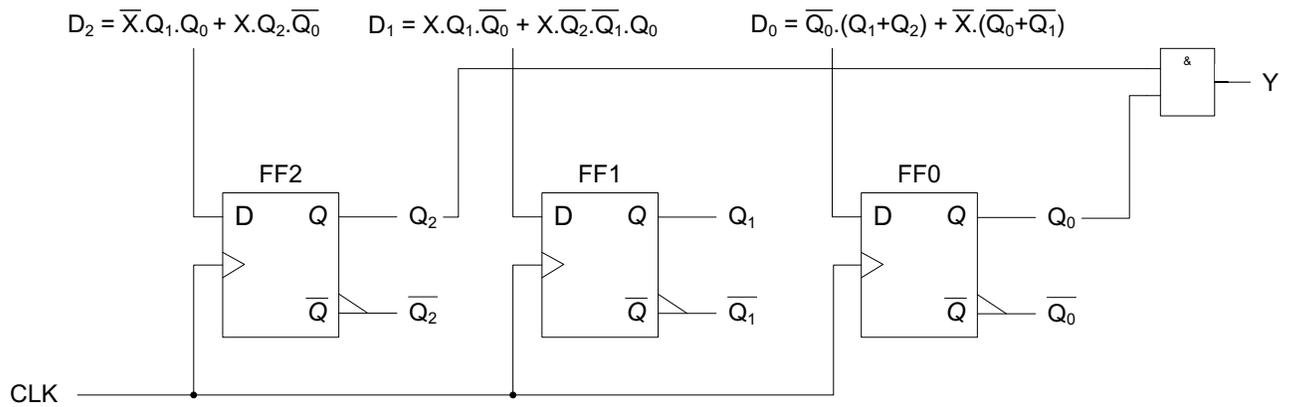
$$D_0 = \bar{Q}_0.(Q_1+Q_2) + \bar{X}.(Q_0+Q_1)$$

Cálculo da saída Y:

<i>Estado presente</i>			<i>Saída</i>
Q_2	Q_1	Q_0	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	X
1	1	1	X

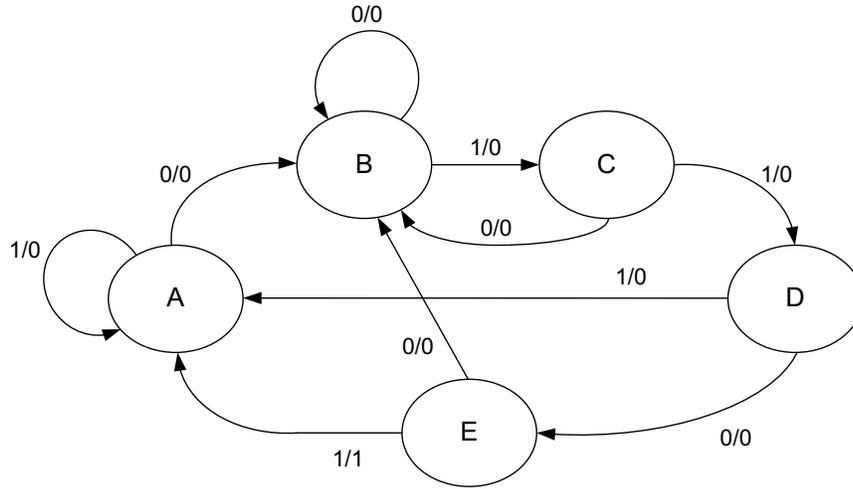
$$Y = Q_2 \cdot Q_0$$

Logigrama (simplificado):



b) Repita a alínea anterior, mas projetando agora um circuito sequencial síncrono de Mealy.

R: Diagrama de estados (Mealy):



Caracterização dos estados:

- A → Espera o início da sequência;
- B → 1º '0' detetado / espera o 1º '1';
- C → 1º '1' detetado / espera o 2º '1';
- D → 2º '1' detetado / espera o 2º '0';
- E → 2º '0' detetado / espera o 3º '1';

Codificação dos estados:

<i>ESTADO</i>	Q_2	Q_1	Q_0
A	0	0	0
B	0	0	1
C	0	1	0
D	0	1	1
E	1	0	0

Tabela de transições de estados e saída:

	<i>Entrada Estado presente</i>				<i>Estado seguinte</i>			<i>Saída</i>	
	<i>X</i>	<i>Q₂</i>	<i>Q₁</i>	<i>Q₀</i>	<i>Q₂</i>	<i>Q₁</i>	<i>Q₀</i>	<i>Y</i>	
A	0	0	0	0	0	0	1	0	B
B	0	0	0	1	0	0	1	0	B
C	0	0	1	0	0	0	1	0	B
D	0	0	1	1	1	0	0	0	E
E	0	1	0	0	0	0	1	0	B
F	0	1	0	1	X	X	X	X	X
G	0	1	1	0	X	X	X	X	X
H	0	1	1	1	X	X	X	X	X
A	1	0	0	0	0	0	0	0	A
B	1	0	0	1	0	1	0	0	C
C	1	0	1	0	0	1	1	0	D
D	1	0	1	1	0	0	0	0	A
E	1	1	0	0	0	0	0	1	A
F	1	1	0	1	X	X	X	X	X
G	1	1	1	0	X	X	X	X	X
H	1	1	1	1	X	X	X	X	X

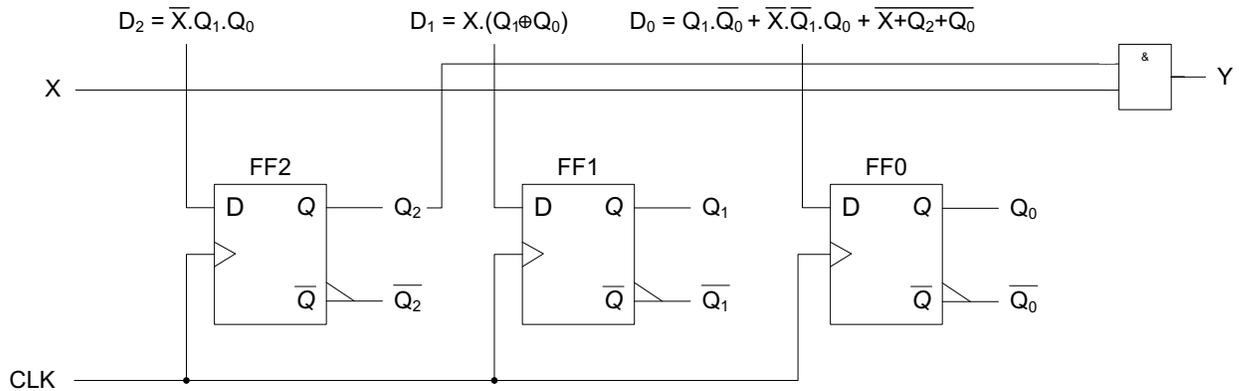
$$D_2 = \overline{X} \cdot Q_1 \cdot Q_0$$

$$D_1 = X \cdot (Q_1 \oplus Q_0)$$

$$D_0 = Q_1 \cdot \overline{Q_0} + \overline{X} \cdot \overline{Q_1} \cdot Q_0 + \overline{X + Q_2 + Q_0}$$

$$Y = X \cdot Q_2$$

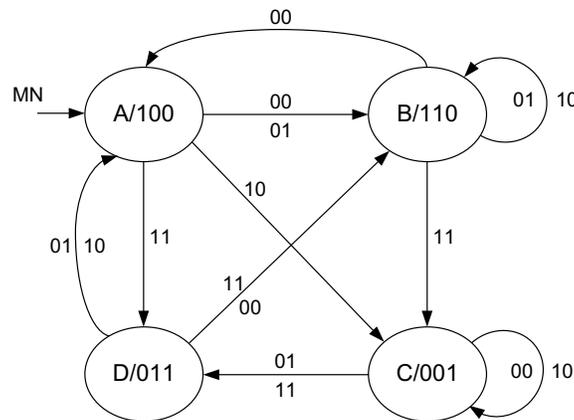
Logigrama simplificado:



c) Comente as diferenças entre os logigramas obtidos nas alíneas anteriores.

R: Neste caso, o Modelo de Mealy tem menos 1 estado, embora não reduza o número de Flip-Flops necessários. A saída, neste exemplo, tem a mesma complexidade nos dois modelos, apenas varia a complexidade da lógica associada à geração de D_2 , D_1 e D_0 .

Problema 4. Projete um circuito que implemente o diagrama de estados representado. Utilize os métodos indicados nas alíneas seguintes. Note que o sistema tem duas entradas M e N e três saídas X, Y e Z. A ordem dos valores apresentados no diagrama é MN para as entradas e XYZ para as saídas.



- a) Use o número mínimo de Flip-Flops D *edge-triggered* positivos.
- b) Use o número mínimo de Flip-Flops JK *edge-triggered* positivos.
- c) Use um Flip-Flop por estado (técnica de codificação “one-hot”), com Flip-Flops D *edge-triggered* positivos

R: a) e b) Com FF-JK e FF-D:

Codificação dos estados: qualquer codificação válida pode ser utilizada, mas neste caso opta-se por aproveitar as saídas X e Y para fazer a codificação, o que permite simplificar as equações das mesmas.

<i>ESTADO</i>	Q_1	Q_0
A	1	0
B	1	1
C	0	0
D	0	1

Tabela de transições de estados e saídas (NOTA: a tabela tem uma disposição diferente do utilizado na aula de forma a condensar a informação, mas aconselho a utilizar o formato que aparece nos slides das aulas teóricas no exemplo da máquina de pastilhas):

		<i>Estado Presente</i>		<i>Estado Seguinte</i>								<i>Saídas</i>	
		$Q_1 Q_0$		$MN = 00$		$MN = 01$		$MN = 10$		$MN = 11$		XYZ	
				$Q_1 Q_0$		$Q_1 Q_0$		$Q_1 Q_0$		$Q_1 Q_0$			
<i>A</i>	10	11	<i>B</i>	11	<i>B</i>	00	<i>C</i>	01	<i>D</i>	100			
<i>B</i>	11	10	<i>A</i>	11	<i>B</i>	11	<i>B</i>	00	<i>C</i>	110			
<i>C</i>	00	00	<i>C</i>	01	<i>D</i>	00	<i>C</i>	01	<i>D</i>	001			
<i>D</i>	01	11	<i>B</i>	10	<i>A</i>	10	<i>A</i>	11	<i>B</i>	011			

Tabelas de excitação dos Flip-Flops JK e D:

Transição	J	K		D
0 → 0	0	X		0
0 → 1	1	X		1
1 → 0	X	1		0
1 → 1	X	0		1

Tabela de codificação para os Flip-Flops JK e D:

<i>Estado Presente</i>		<i>Estado Seguinte (Q_1Q_0) → Entradas Flip-Flops $J_1K_1 J_0K_0 D_1D_0$</i>				<i>Saídas</i>
		$MN = 00$	$MN = 01$	$MN = 10$	$MN = 11$	
Q_1Q_0		$J_1K_1 J_0K_0 D_1D_0$	$J_1K_1 J_0K_0 D_1D_0$	$J_1K_1 J_0K_0 D_1D_0$	$J_1K_1 J_0K_0 D_1D_0$	XYZ
<i>A</i>	1 0	(11) → (X0 1X 11)	(11) → (X0 1X 11)	(00) → (X1 0X 00)	(01) → (X1 1X 01)	1 0 0
<i>B</i>	1 1	(10) → (X0 X1 10)	(11) → (X0 X0 11)	(11) → (X0 X0 11)	(00) → (X1 X1 00)	1 1 0
<i>C</i>	0 0	(00) → (0X 0X 00)	(01) → (0X 1X 01)	(00) → (0X 0X 00)	(01) → (0X 1X 01)	0 0 1
<i>D</i>	0 1	(11) → (1X X0 11)	(10) → (1X X1 10)	(10) → (1X X1 10)	(11) → (1X X0 11)	0 1 1

Dos mapas de Karnaugh ou da tabela retiram-se:

$$J_1 = Q_0$$

$$K_1 = M \cdot (\overline{Q_0} + N)$$

$$J_0 = N + (\overline{M}Q_1)$$

$$K_0 = Q_1 \oplus MN$$

$$D_1 = \overline{M} \cdot Q_1 + Q_0 \cdot (\overline{Q_1} \cdot N)$$

$$D_0 = Q_0 \cdot (\overline{N \oplus Q_1}) + \overline{N} \cdot (Q_1 \cdot \overline{Q_0} + M \cdot \overline{Q_1}) + \overline{M} \cdot N \cdot \overline{Q_0}$$

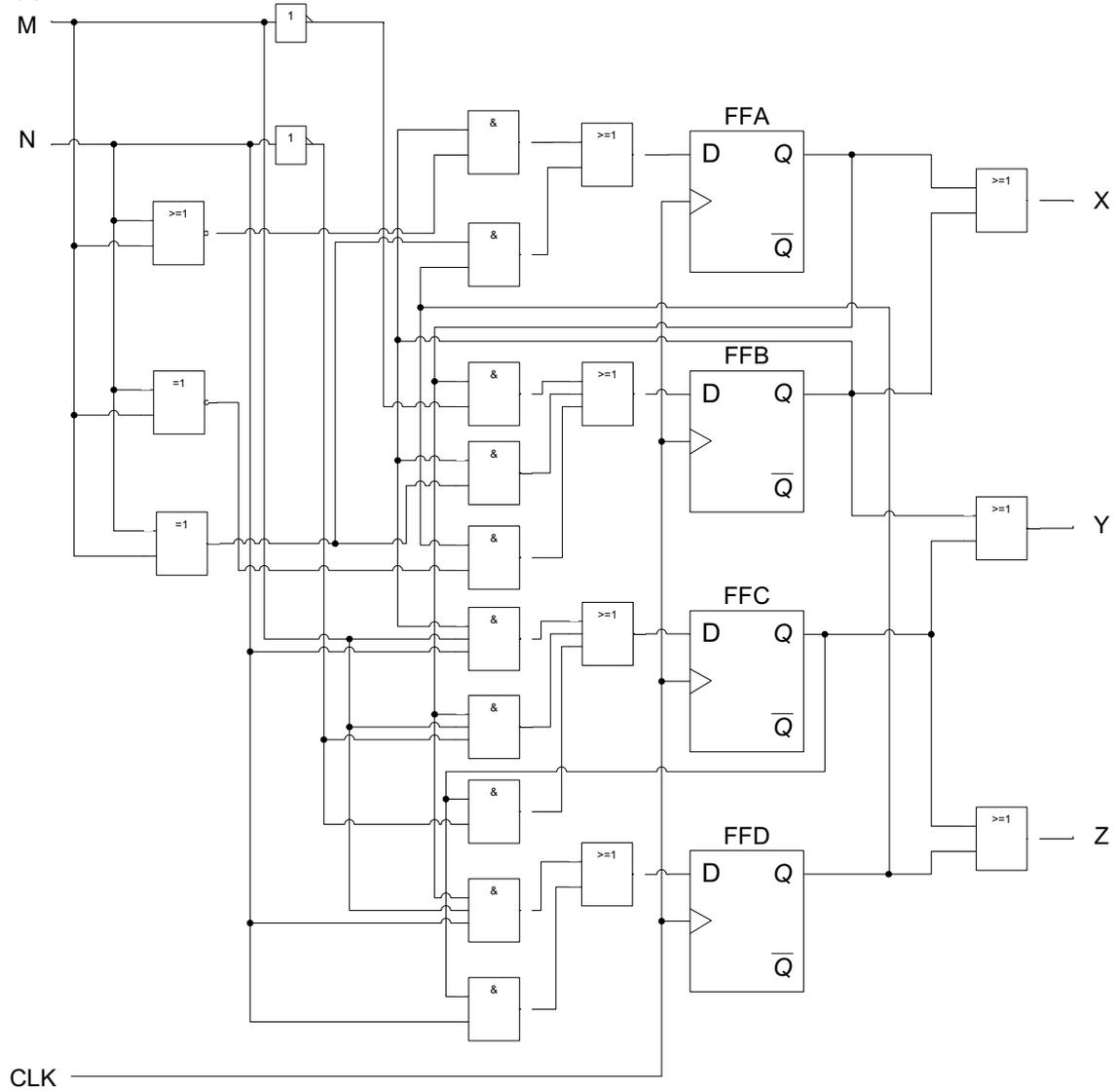
$$X = Q_1$$

$$Y = Q_0$$

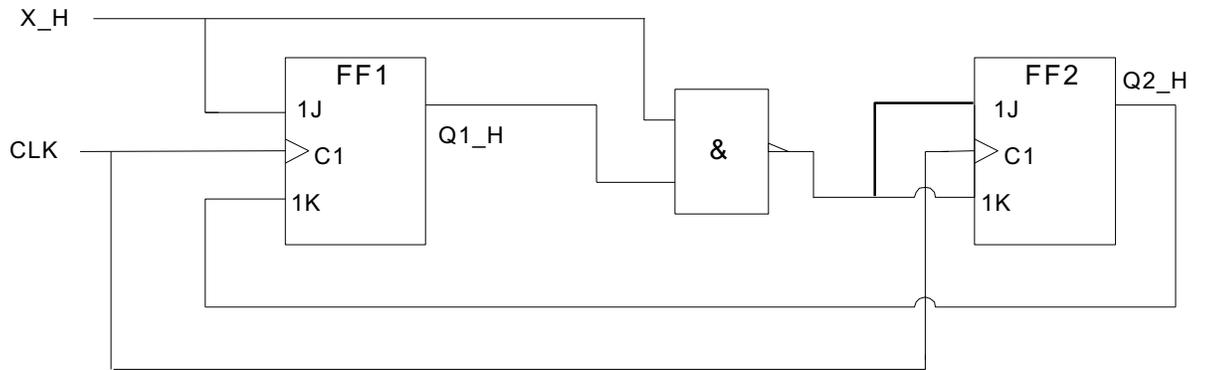
$$Z = \overline{Q_1}$$

Os logigramas correspondentes são:

Logigrama:



Problema 5. Considere o seguinte circuito sequencial. Suponha que o circuito tem uma saída Z correspondente à saída da porta NAND.

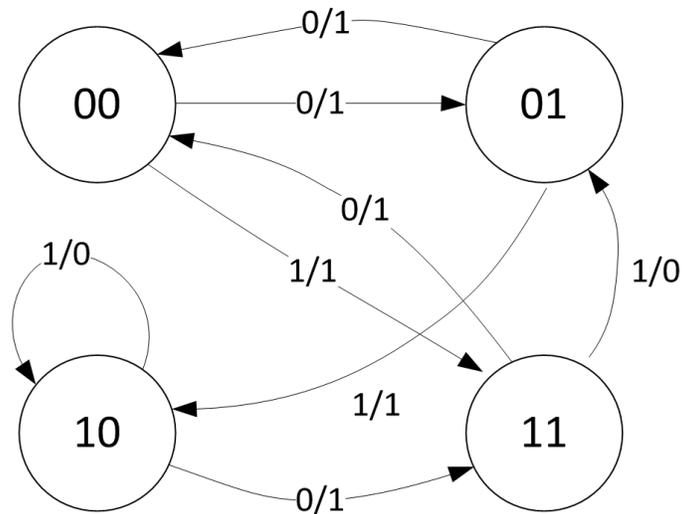


a) Trata-se de uma máquina de Moore ou de Mealy?

R: Mealy, pois a saída Z está diretamente dependente da entrada X (se X mudar, Z pode também mudar mesmo que o CLK não varie).

b) Desenhe diagrama de estados implementado pelo circuito.

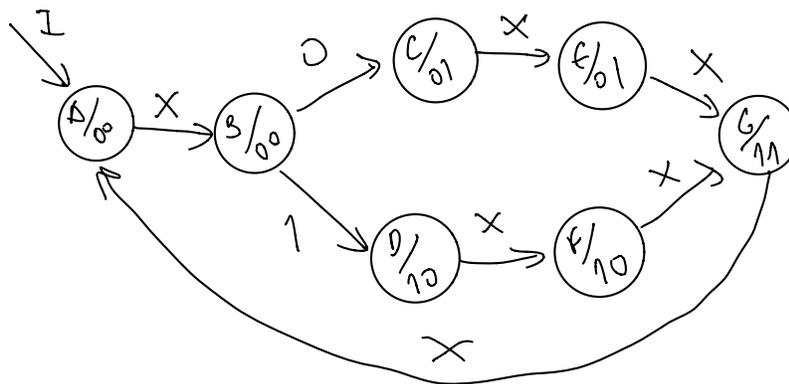
R: (A representação do estado no diagrama é Q1Q2)



Problema 6. Considere um circuito com uma entrada I e duas saídas O₁ e O₂. No estado inicial e no estado seguinte, o circuito deve ter ambas as saídas a 0. No estado seguinte o circuito analisa a entrada I, e: se I=0, as saídas devem ser 01; se I=1, as saídas deverão ser 10. As saídas devem ser mantidas por mais um estado independentemente de I. No estado final as saídas deverão ser 11 e o circuito passa ao estado inicial.

Projete um circuito que implemente esta máquina a partir de um contador de 4 bits com carregamento paralelo.

R: Diagrama de Estados:



Como existem 7 estados é necessário um contador de pelo menos 3 bits. Cada estado do contador representa um dos estados do diagrama. Dado que está disponível um contador de 4 bits, serão utilizados os 3 bits de menor peso. A ideia é aproveitar o facto de o contador incrementar a contagem a cada impulso de relógio para facilitar as transições de estados. Assim deverá escolher-se uma codificação que se adapte à “evolução” do diagrama de estados. Neste caso uma possível boa codificação será: A=000, B=001, C=010, E=011, G=100, D=101, F=110. Com esta codificação minimizam-se as interrupções na contagem.

O passo seguinte consiste em identificar todas as situações em que o contador terá que interromper a contagem. Nessas situações deverá ativar-se o Carregamento Paralelo do contador (fazer LOAD) e indicar qual o estado para o qual o contador deverá ir. Essas situações acontecem sempre que no diagrama de estados se salta para um estado que não corresponde a um incremento na contagem, e dependem obviamente do valor da entrada I. Neste caso só temos as seguintes situações em que isso ocorre:

Estado Actual (Q2Q1Q0)	Entrada (I)	Estado Seguinte (D2D1D0)	LOAD
B (001)	1	D (101)	1
F (110)	x	G (100)	1
G (100)	x	A (000)	1

Logo a equação para ativar LOAD pode ser obtida fazendo um mapa de Karnaugh cujas entradas são o estado atual (Q2Q1Q0) e I. Assumindo que LOAD é ativo a High, então retira-se desse mapa de Karnaugh:
 $LOAD = Q2 \cdot !Q0 + !Q2 \cdot !Q1 \cdot Q0 \cdot I$

As entradas de carregamento paralelo do contador podem ser calculadas a partir de 3 mapas de Karnaugh idênticos ao anterior, mas preenchidos respectivamente com os valores de D2, D1 e D0. Neste caso tal não é necessário, pois consegue ver-se a olho que $D2=\neg Q0$, $D1=0$ e $D0=Q0$.

Para terminar será necessário encontrar a lógica para as saídas. Essa é feita da mesma forma que para qualquer circuito sequencial.

Problema 7. Tendo em mente o que conhece acerca de memórias e respetivas aplicações:

- a) Explique a diferença entre memórias RAM, ROM, PROM e EPROM;

R: ...ver slides...

- b) Considere o circuito da figura, que representa um bloco de memória RAM. Explique a sequência de acontecimentos que deve seguir de modo a executar uma leitura e uma escrita de dados da/na memória.

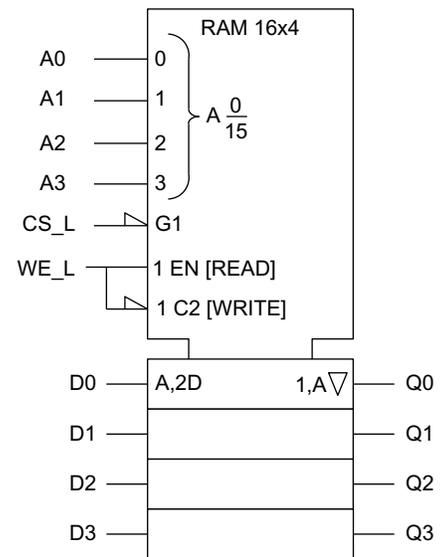
Operação de Escrita:

- (1) Colocar **endereço** nas linhas de endereço;
- (2) Colocar dados nas linhas de entrada de dados (Ds);
- (3) Activar CS_L e WE_L (L - Escrita).

Operação de Leitura:

- (1) Colocar **endereço** nas linhas de endereço;
- (2) Activar CS_L e Desactivar WE_L (H – Leitura) ;
- (3) Ler dados pretendidos nas linhas de saída (Os).

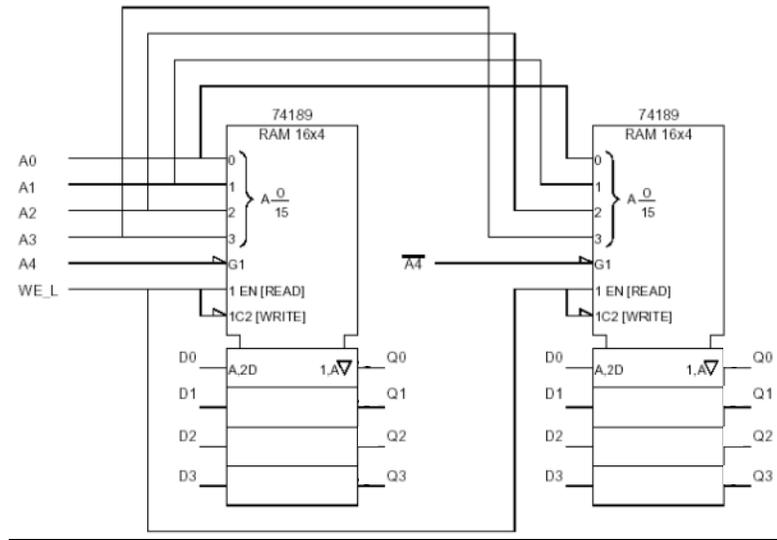
- c) Utilizando apenas 2 blocos de memória idênticos ao da figura, explique como faria para obter um bloco de 16 palavras de 8 bits.



R: Igual aos slides, a única diferença é o nível de atividade das saídas

- d) Utilizando apenas 2 blocos de memória idênticos ao da figura, explique como faria para obter um bloco de 32 palavras de 4 bits. Quantos bits de endereçamento são necessários? Justifique a possível utilização de lógica externa adicional.

R: Igual aos slides. Cada uma das RAMs guarda 16 palavras. Utiliza-se um inversor para seleccionar qual das RAMs fica ativa. O inversor recebe o bit de maior peso do endereço (A4)



- e) Explique como poderia utilizar o bloco de memória da figura para efetuar uma máquina de estados síncrona com 1 entrada X, 1 saída Y, e 8 estados possíveis.

R: Utiliza-se uma arquitetura idêntica à que está nos slides:

- É necessário utilizar 3 FFs (ou um registo de 3 bits) para representar o estado presente (dado que são 8 estados)
- Às linhas de endereço da memória ligam-se X e as saídas dos FFs que representam o estado presente (X é normalmente ligado à entrada de menor peso)
- As saídas da memória representam a saída Y e o estado seguinte (3 bits). As saídas que representam o estado seguinte ligam-se às entradas dos FFs.
- O conteúdo da memória tem que ser programado de acordo com a tabela de transição de estados que representa a máquina. A tabela de transição de estados deverá ter as colunas pela seguinte ordem: Estado Presente (3 bits) / entrada X / Estado Seguinte (3 bits) / Saída. O Estado Presente e X (4 bits) indicam o endereço da palavra de memória em que são preenchidos os valores correspondentes ao Estado Seguinte e Y.

- f) Utilize uma RAM semelhante à apresentada mas de 8 bits (16x8) e um registo, para implementar o circuito descrito no Problema 6. Indique qual deverá ser o conteúdo da RAM.