

Aula de Problemas nº 5
ALU's; Latches e Flip-Flops; Registos

Problema 1. A partir de um somador completo de 4 bits, projete um circuito aritmético de 4 bits com duas variáveis de seleção, S_0 e S_1 , para realizar as operações indicadas abaixo. Desenhe o diagrama lógico para a estrutura associada a um dos bits

$S_1 S_0$	$C_i=0$	$C_i=1$
00	$F = A + B$	$F = A + B + 1$
01	$F = A$	$F = A + 1$
10	$F = \bar{B}$	$F = \bar{B} + 1$
11	$F = A + \bar{B}$	$F = A + \bar{B} + 1$

R: É preciso definir o que se liga a cada uma das entradas P, Q e C_i do somador.

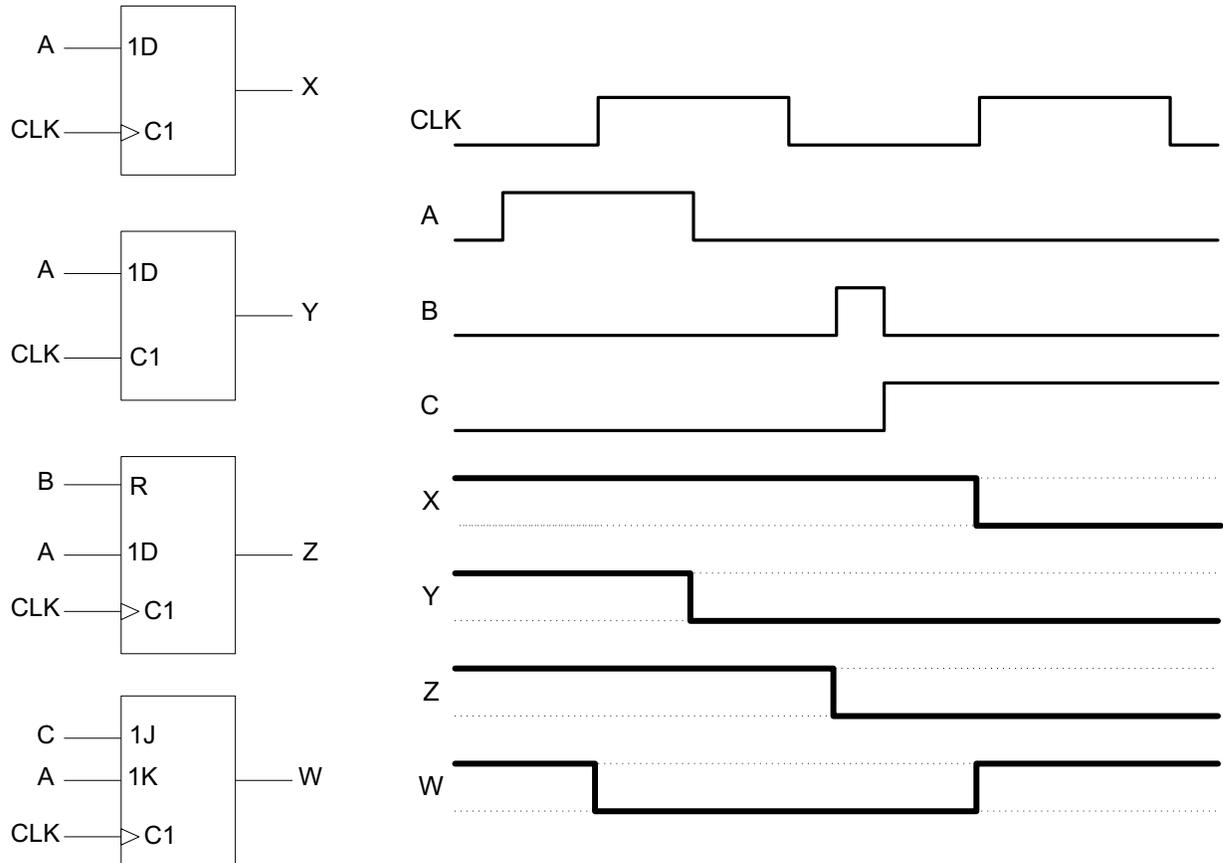
A entrada C_i é óbvia e corresponde ao C_i da tabela.

Para cada um dos bits de P e Q pode-se utilizar um MUX 4:1 (com 2 variáveis de seleção onde se liga S_1 e S_0).

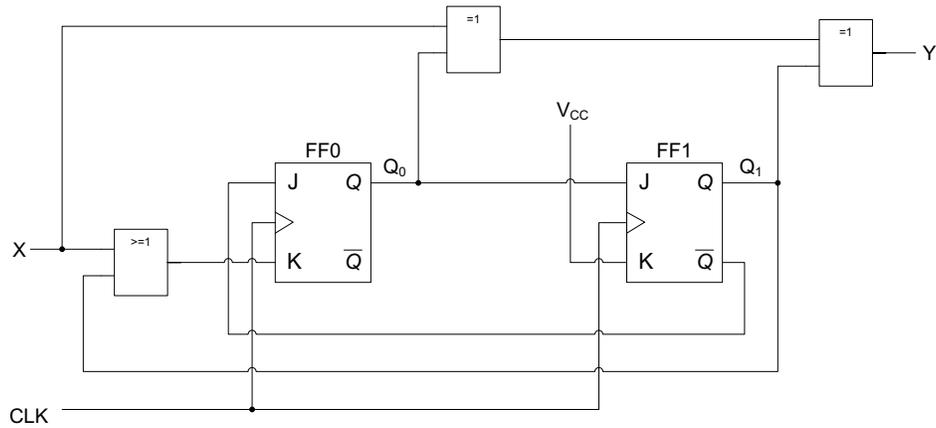
Às entradas de dados dos muxs que ligam a P liga-se respetivamente A_i , A_i , 0, A_i (em P entra sempre A exceto quando $S_1=1$ e $S_0=0$, pois só se quer transferir !B para o somador).

Às entradas de dados dos muxs que ligam a Q liga-se respetivamente B_i , 0, ! B_i , ! B_i (na 1ª entrada soma-se A+B, na 2ª só se quer passar A, e na 3ª e na 4ª as operações a realizar envolvem o complemento de B).

Problema 2. Considere o circuito da figura e as formas de onda indicadas. Considere ainda X, Y, Z e W inicialmente a 1. Esboce as formas de onda dos sinais X, Y, Z e W, considerando os tempos de atraso dos elementos de memória desprezáveis face ao período de relógio.

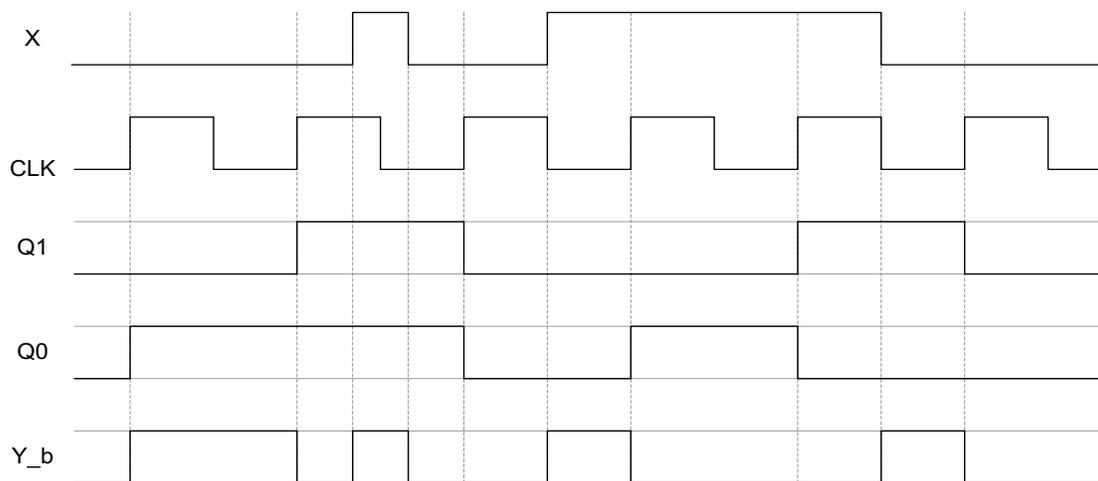


Problema 3. Considere o seguinte circuito sequencial síncrono com uma entrada X e uma saída Y:



a) Complete o seguinte diagrama temporal:

R:



- b) A partir das características temporais indicada na tabela seguinte, indique qual a frequência máxima de funcionamento do circuito.

FF JK	
t_{SETUP}	15 ns
t_{HOLD}	2 ns
$t_{\text{PHL/LH}}$	40 ns
OR	
$t_{\text{PHL/LH}}$	30 ns
XOR	
$t_{\text{PHL/LH}}$	20 ns

R: Tem que se descobrir todos os caminhos que existem entre cada par de circuitos sequenciais (FFs), e calcular o tempo mínimo necessário para um sinal percorrer cada um desses caminhos. Aqui existem 3 caminhos, a que chamaremos A, B e C:

T_A entre FF0 e FF1;

T_B entre a saída Q de FF1 e FF0;

T_C entre a saída Q! De FF1 e FF0.

$$f_{\text{max}} = 1/T_{\text{CLK}}^{\text{min}}, \text{ onde } T_{\text{CLK}}^{\text{min}} = \max(T_A, T_B, T_C)$$

$$T_A = t_{\text{p}}^{\text{FF0}} + t_{\text{su}}^{\text{FF1}} = 40 + 15 = 55 \text{ ns}$$

$$T_B = t_{\text{p}}^{\text{FF1}} + t_{\text{p}}^{\text{OR}} + t_{\text{su}}^{\text{FF0}} = 40 + 30 + 15 = 85 \text{ ns}$$

$$T_C = t_{\text{p}}^{\text{FF1}} + t_{\text{su}}^{\text{FF0}} = 40 + 15 = 55 \text{ ns}$$

$$f_{\text{max}} = 1/\max(55, 85, 55) = 1/85 \text{ ns} = 1/85 \times 10^{-9} \text{ s} = 1/85 \times 10^9 \text{ Hz} = 1/85 \text{ GHz}$$

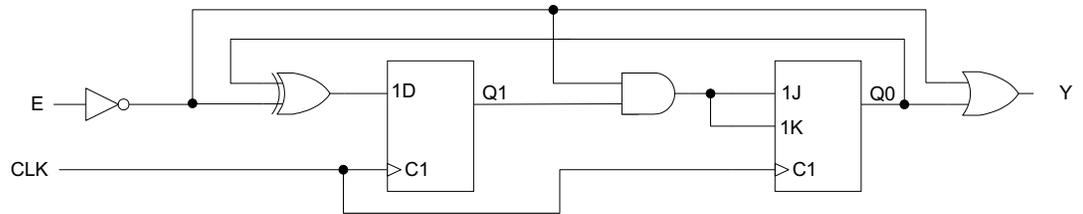
Problema 4

a) Suponha o circuito da figura inicialmente no estado $Q1=Q0=1$, e que a entrada se mantém constante $E=0$. Indique quais os valores de $Q1$ e $Q0$ nos 2 períodos de relógio seguintes.

R: $t+1$: $Q1=0$; $Q0=0$ (FF0 faz Toggle). $t+2$: $Q1=1$; $Q0=0$ (FF0 mantém).

b) Considere as características temporais dos elementos de circuito indicadas na tabela. Calcule o período mínimo de relógio para que o circuito funcione corretamente.

FF JK	
t_{SETUP}	15 ns
t_{HOLD}	2 ns
t_{PHL}	40 ns
t_{PLH}	40 ns
FF D	
t_{SETUP}	10 ns
t_{HOLD}	1 ns
t_{PHL}	35 ns
t_{PLH}	35 ns
NOT	
t_{PHL}	5 ns
t_{PLH}	5 ns
AND	
t_{PHL}	10 ns
t_{PLH}	10 ns
OR	
t_{PHL}	30 ns
t_{PLH}	30 ns
XOR	
t_{PHL}	20 ns
t_{PLH}	20 ns



R: Tem que se descobrir todos os caminhos que existem entre cada par de circuitos sequenciais (FFs), e calcular o tempo mínimo necessário para um sinal percorrer cada um desses caminhos. Aqui existem 2 caminhos, a que chamaremos A e B:

T_A entre FF1 e FF0;

T_B entre FF0 e FF1;

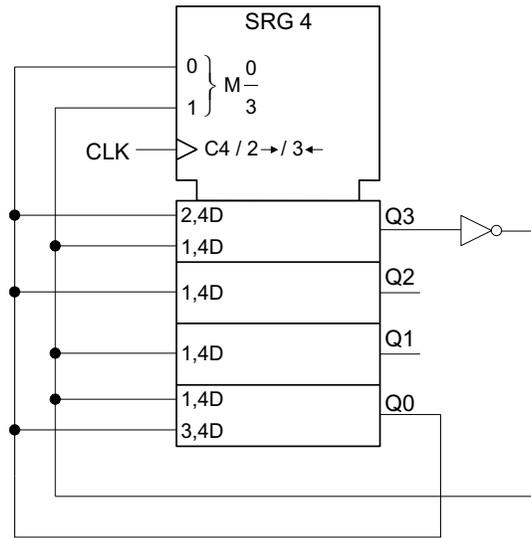
$$f_{max} = 1/T_{CLK}^{min}, \text{ onde } T_{CLK}^{min} = \max(T_A, T_B)$$

$$T_A = t_p^{FF1} + t_p^{AND} + t_{su}^{FF0} = 35 + 10 + 15 = 60 \text{ ns}$$

$$T_B = t_p^{FF0} + t_p^{XOR} + t_{su}^{FF1} = 40 + 20 + 10 = 70 \text{ ns}$$

$$f_{max} = 1/\max(60, 70) = 1/70 \text{ ns} = 1/70 \times 10^{-9} \text{ s} = 1/70 \times 10^9 \text{ Hz} = 1/70 \text{ GHz}$$

Problema 5. Considere o seguinte circuito:



5.1 Considere o componente identificado como SRG 4

a) De que tipo de circuito se trata?

SRG4 é um registo de deslocamento (*Shift Register*) de 4 bits com os seguintes 4 modos de funcionamento: M0 (00) = *Hold*; M1 (01) = *Parallel Load*; M2 (10) = *Shift Right*; M3 (11) = *Shift Left*.

b) Quais os seus modos de funcionamento?

M0 (00) = *Hold*; M1 (01) = *Parallel Load*; M2 (10) = *Shift Right*; M3 (11) = *Shift Left*.

c) Que entradas têm que estar ativas para que o circuito faça um “carregamento em paralelo”?

Tem que estar em Modo 1 (01) e a entrada 4 (Relógio) tem que estar ativa (flanco ascendente do relógio).

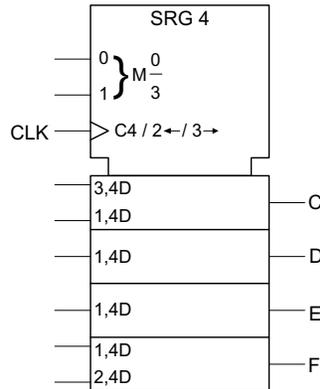
5.2 Indique qual a sequência de 6 estados, começando no estado 1, concretizada pelo circuito.

R: Para cada impulso de relógio é necessário ver os valores em todos os pontos do circuito. O estado é dado pelos valores dos FF que constituem o registo.

Estado Presente Q3Q2Q1Q0	Modo	Estado Seguinte Q3Q2Q1Q0	
0001 (1)	11 (M3 – SL)	0011	Deslocamento para a esquerda; carrega valor da entrada 3,4D
0011 (3)	11 (M3 – SL)	0111	Deslocamento para a esquerda; carrega valor da entrada 3,4D
0111 (7)	11 (M3 – SL)	1111	Deslocamento para a esquerda; carrega valor da entrada 3,4D
1111 (15)	01 (M1 – PL)	0100	Carregamento Paralelo dos valores nas entradas 1,4D
0100 (4)	10 (M2 – SR)	0010	Deslocamento para a direita; carrega valor da entrada 2,4D
0010 (2)	10 (M2 – SR)	0001	Deslocamento para a direita; carrega valor da entrada 2,4D

Problema 6. A partir do circuito representado na seguinte figura, e utilizando no máximo 2 portas NOT adicionais, desenhe um circuito que implemente o seguinte ciclo de estados: ...3 → 6 → 9 → 3...

Considere que C é a saída de maior peso. Justifique.



R: O ciclo a realizar pelo circuito é:

- 3 - 0011
- 6 - 0110
- 9 - 1001
- 3 - 0011

É necessário perceber em que modo tem que estar o registo para que as transições pretendidas se verifiquem. Uma solução é (há várias):

De 3 para 6: Shift Left (M2), carregando um 0 no bit de menor peso.

De 6 para 9: Parallel Load (M1), carregando 1001

De 9 para 3: Shift Left (M2), carregando um 1 no bit de menor peso.

Assim é possível fazer a seguinte tabela:

Estado Presente CDEF	Modo S1S0	Entrada 2,4D	Entradas Paralelas
0011 (3)	10 (M2 – SL)	0	xxxx
0110 (6)	01 (M1 – LOAD)	x	1001
1001 (9)	10 (M2 – SL)	1	xxxx

É necessário ver que função é necessário colocar em cada uma das entradas de modo (S1S0) e cada uma das restantes entradas do Registo. Como não há entradas externas, cada uma dessas funções depende apenas das saídas CDEF. Poder-se-ia fazer um mapa de Karnaugh para cada uma das entradas, mas neste caso simples pode ser tudo feito “a olho”. Assim, é fácil de retirar que:

$$S1 = F$$

$$S0 = D$$

$$2,4D = C$$

Nas entradas paralelas coloca-se sempre 1001 pois só é feito o carregamento uma vez.