

Sistemas Digitais

Circuitos Sequenciais Básicos (Latches e Flip-Flops)

Horácio Neto
Nuno Horta
João Paulo Carvalho



TÉCNICO
LISBOA

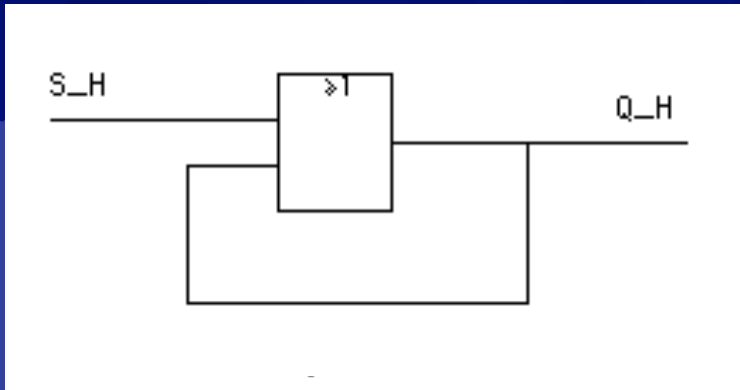


Circuitos Sequenciais

- ✦ Circuitos Sequenciais: o comportamento do circuito depende não só das entradas no instante presente, mas também do seu comportamento anterior
- ✦ Pode-se dizer que o circuito tem MEMÓRIA...
- ✦ A característica fundamental de um circuito sequencial é a existência de realimentações, i.e., de ligações entre a saída e as entradas
- ✦ Realimentação = *Feedback*



Circuitos Sequenciais Simples

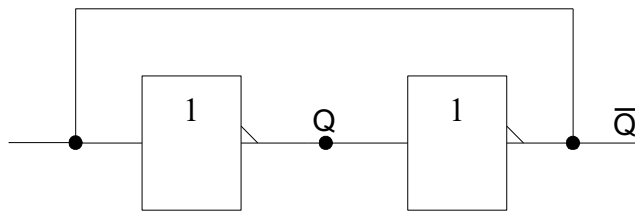


S_H	Q_H _n	Q_H _{n+1}
0	0	0
0	1	1
1	0	1
1	1	1

- ✦ Este circuito permite memorizar se ocorreu pelo menos um 1 na entrada S desde que se ligou o circuito
- ✦ Existe uma realimentação entre a saída e uma das entradas da porta OR que garante que o valor da saída é tido em conta no futuro imediato para o cálculo de novas saídas

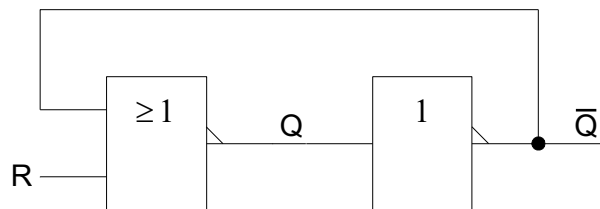


Circuitos Sequenciais Simples

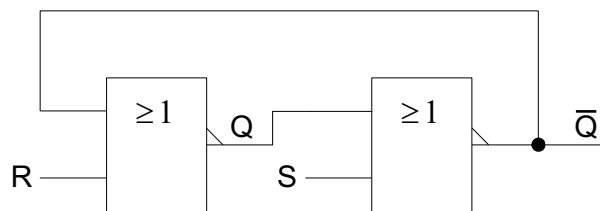


- ☀ 2 inversores em cascata

- Posso armazenar um 1 (ou um 0) para sempre, mas não posso alterar o valor



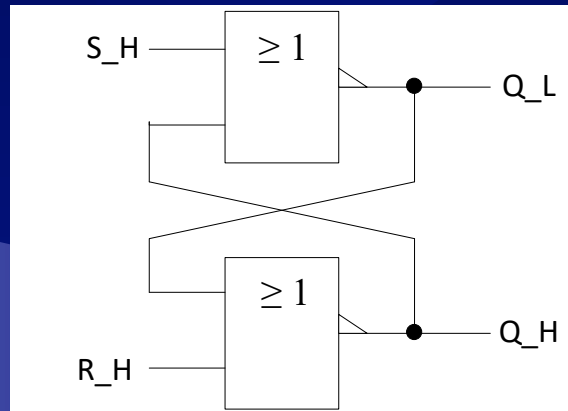
- ☀ A entrada R permite forçar Q a 0 (mas não permite forçá-lo a 1)



- ☀ A entrada R permite forçar Q a 0. A entrada S permite forçar Q a 1.



Latch RS



S	R	Q_{n+1}	\overline{Q}_{n+1}	
0	0	Q_n	\overline{Q}_n	HOLD
0	1	0	1	RESET
1	0	1	0	SET
1	1	U	U	Não Utilizada

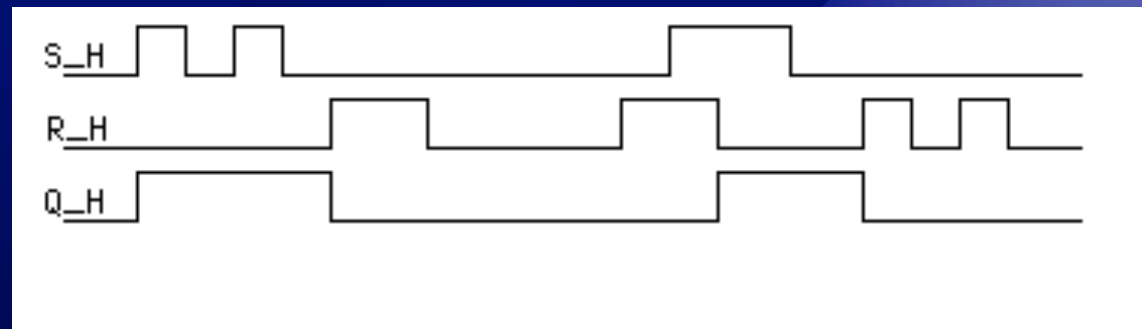
- ✦ O valor da saída do elemento de memória designa-se habitualmente por estado.
- ✦ Um latch tem 2 estados possíveis (0 ou 1).
- ✦ Diagrama Temporal:

$R = 1$ e $S = 0 \rightarrow Q$ é forçado a 0 \rightarrow RESET

$R = 0$ e $S = 1 \rightarrow Q$ é forçado a 1 \rightarrow SET

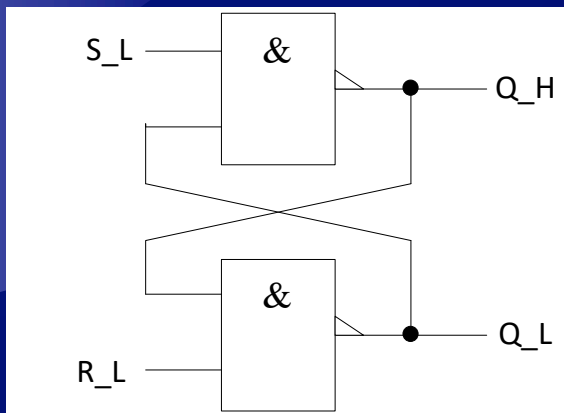
$R = 0$ e $S = 0 \rightarrow$ mantém estado anterior

$R = 1$ e $S = 1 \rightarrow$ não utilizada.



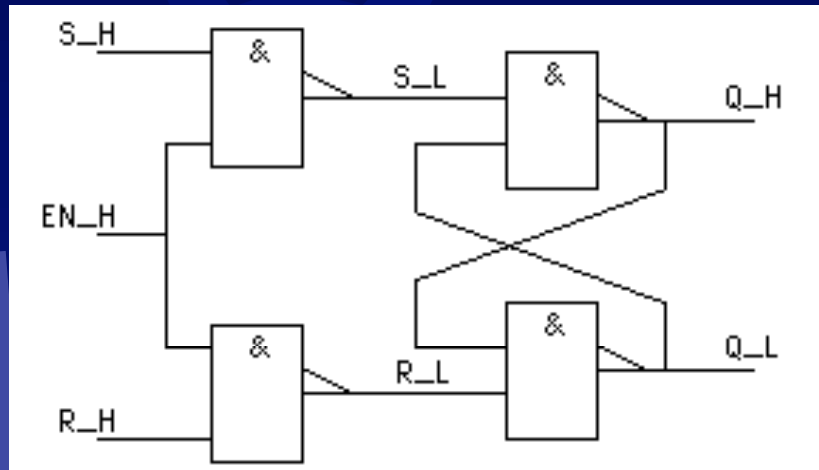
Latch RS (utilizando NANDs)

- Quando o Latch RS é realizado com portas NAND, as entradas são activas a Low



S_L	R_L	Q_{n+1_H}	
0	0	U	Não Utilizada
0	1	1	SET
1	0	0	RESET
1	1	Q_{n_H}	HOLD

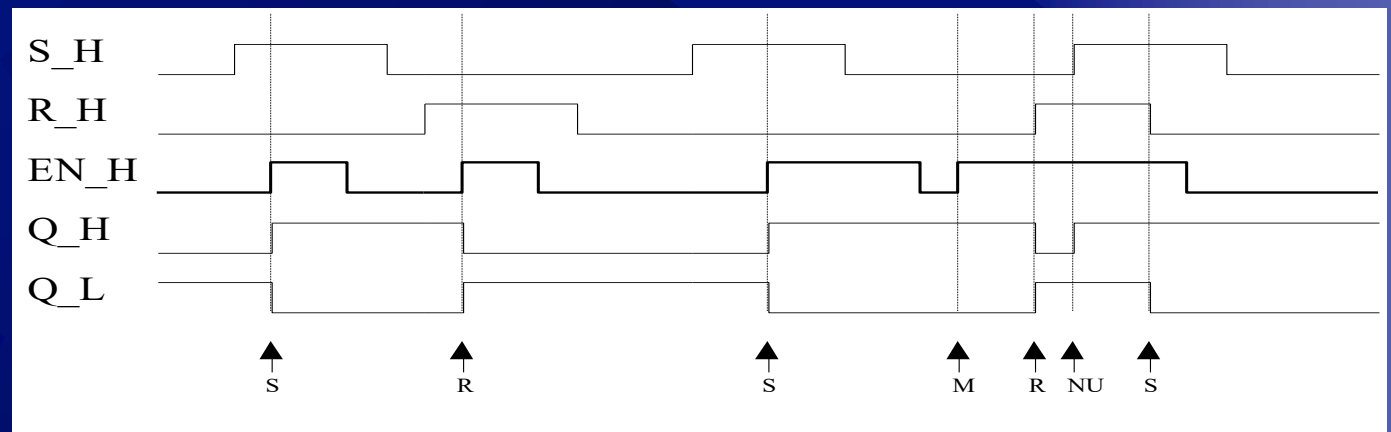
Latch RS Controlado



EN_H	S_H	R_H	Q_{n+1_H}	
1	0	0	Q_n	HOLD
1	0	1	0	RESET
1	1	0	1	SET
1	1	1	NU	NOT USED
0	X	X	Q_{n_H}	HOLD

- ★ A entrada habilitadora ou enable, EN, permite controlar a aplicação das entradas de Set e de Reset ao latch.

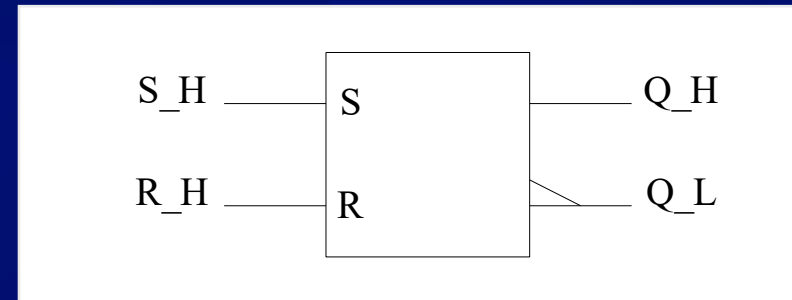
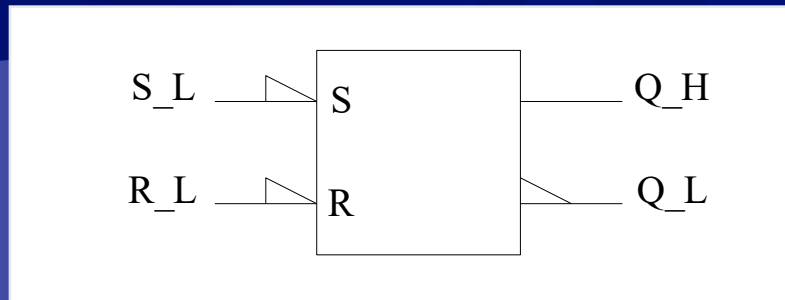
- ★ Diagrama temporal:



- ★ A situação em que $S=1$ e $R=1$ quando EN passa de 1 para 0 deve-se evitar pois tornará o estado do latch indefinido (tanto pode ser 1 como 0). Vai depender da velocidade das portas lógicas!

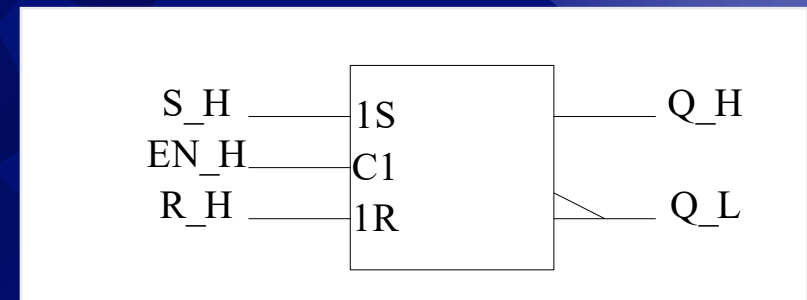
Latches RS - Simbologia

☀ Latches Simples:



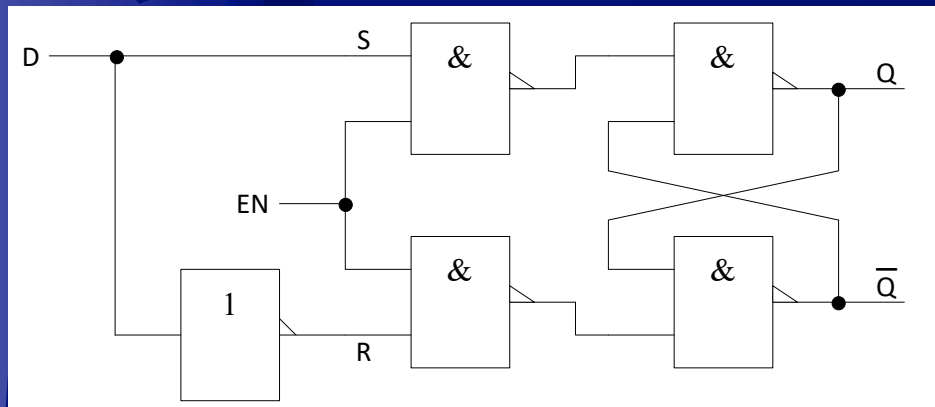
☀ Latch Controlado:

- A entrada de sincronismo é habitualmente designada por relógio – Clock (C)
- A letra designa função:
C = Clock; S = Set; R = Reset
- O 1 à direita identifica a entrada
- O 1 à esquerda da letra implica dependência da entrada 1



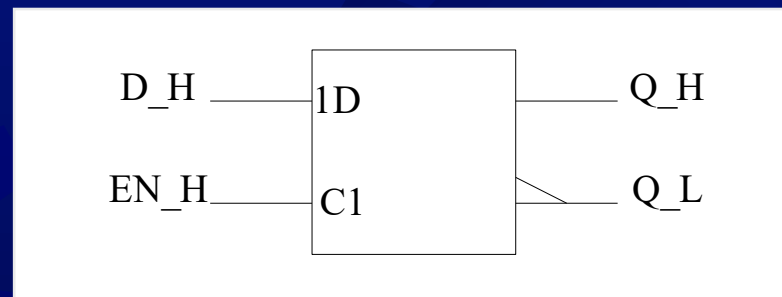
Latch D (Controlado)

- Um dos modos de eliminar o estado indefinido no latch RS consiste em assegurar que as entradas R e S são sempre complementares.
- Obtém-se, assim, o latch D, que tem apenas 2 entradas: D (Data) e (EN) Enable.



EN_H	D_H	Q_{n+1_H}	
1	0	0	RESET
1	1	1	SET
0	X	Q_{n_H}	HOLD

- Simbologia:



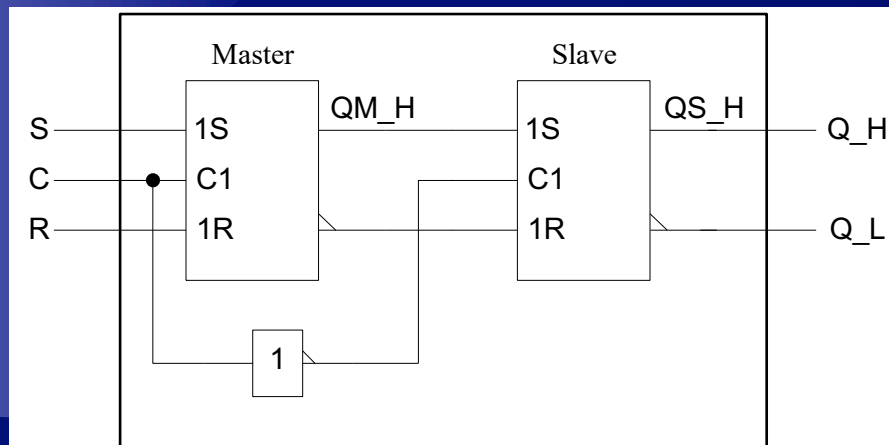
Latches e Flip-Flops

- ✦ Os circuitos básicos de memória podem ser classificados em latches e flip-flops:
 - ✦ Os latches mudam as saídas imediatamente após uma variação nas entradas (desde que o relógio esteja a 1). Diz-se que as saídas são transparentes;
 - ✦ Os flip-flops não podem mudar mais que uma vez as saídas em cada período do sinal de relógio.
- ✦ Se as entradas de um latch mudam enquanto o relógio está a 1, o seu estado muda imediatamente.
 - ✦ Esta mudança pode implicar novas mudanças de estado noutros latches, o que pode originar uma sequência imprevisível de mudanças de estado num circuito que seja composto por vários latches ligados entre si.

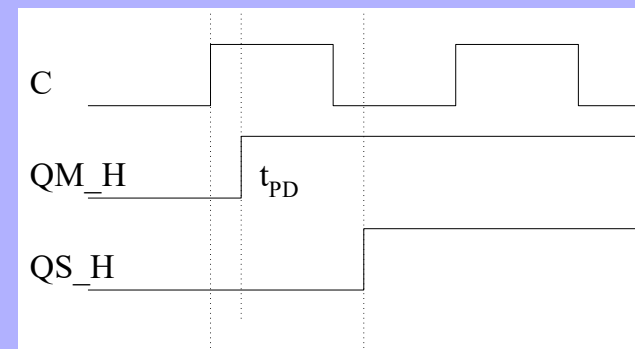


Flip-Flop RS Master-Slave

- Os flip-flops são projectados de modo a permitir apenas uma única mudança de estado no circuito por período de relógio.
- O flip-flop Master-Slave consiste na ligação em cascata de 2 latches sincronizados, com sinais de controlo complementares.







Exemplo com $S=1$, $R=0$

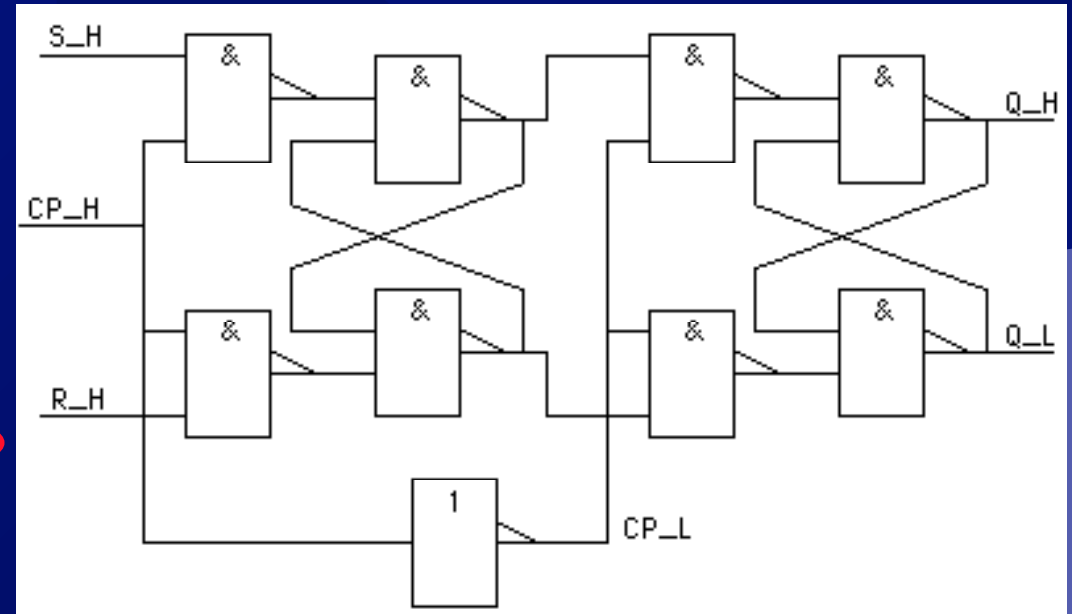


- Funcionamento: o Mestre “aceita” ordens de Set ou Reset enquanto $C = 1$, mas só “passa” a ordem ao Escravo quando $C = 0$
 - Do ponto de vista das saídas externas o estado apenas muda após a transição de $1 \rightarrow 0$ do relógio.



Flip-Flops RS Master-Slave (II)

CP_H	S_H	R_H	Q_{t+1}
	L	L	Q_t
	L	H	L
	H	L	H
	H	H	U
L	X	X	Q_t
H	X	X	Q_t



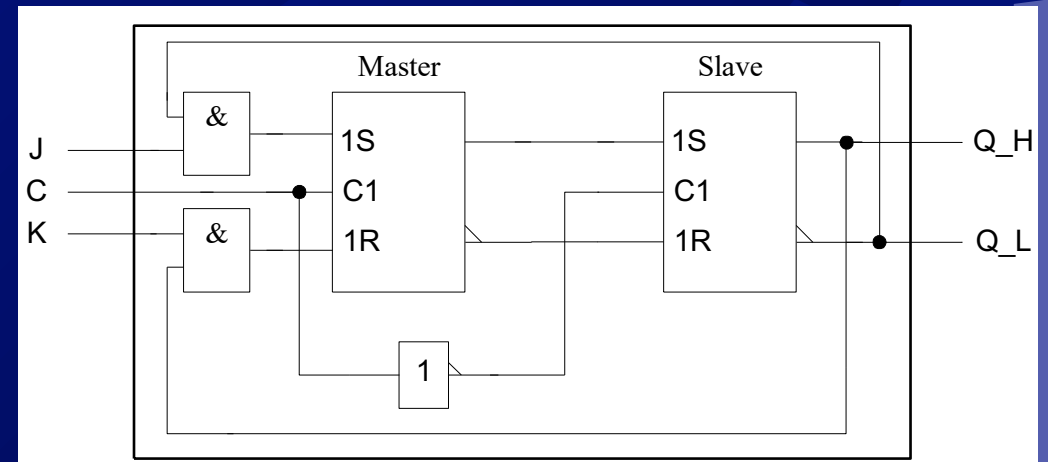
Como se viu quando se estudou o Latch Rs controlado, o comportamento não é previsível. Logo não se sabe qual vai ser o valor da saída do Flip-Flop.



Flip-Flops JK Master Slave

- Para evitar a situação de imprevisibilidade, surge o Flip-Flop JK. Num FF JK, quando ambas as entradas estão activas, o FF altera o seu estado (faz "Toggle")

CP_H	J_H	K_H	Q_{t+1}
	L	L	Q_t
	L	H	L
	H	L	H
	H	H	\bar{Q}_t
L	X	X	Q_t
H	X	X	Q_t



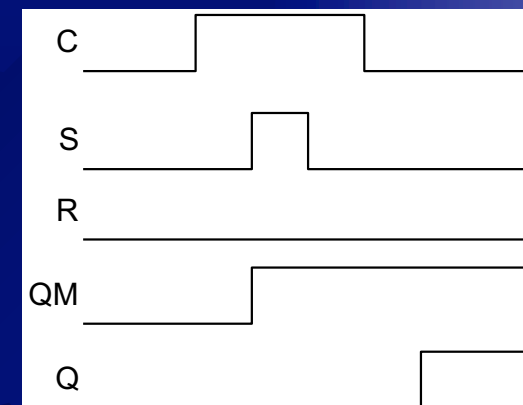
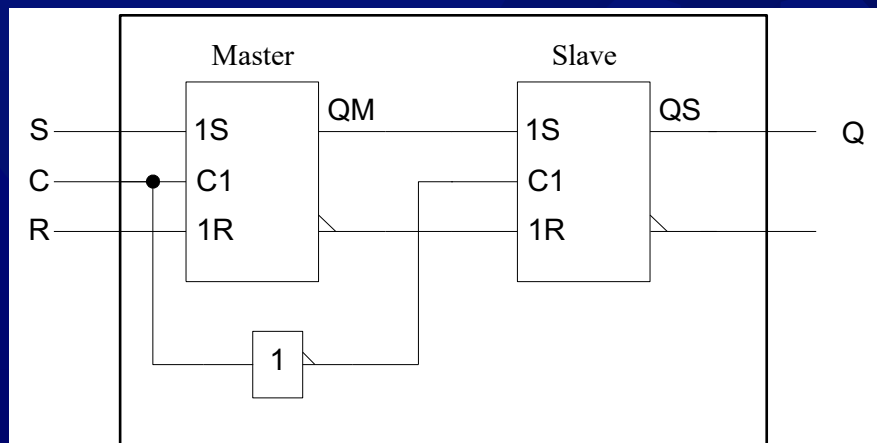
Toggle: inverte o estado anterior

- Nota: continua a só existir mudança de estado após a transição de relógio de H para L





Flip-Flops Master-Slave

- Os flip-flops master-slave respondem aos valores na entrada que aparecem durante o semi-período em que $C = 1$. Por isso, são também chamados de PULSE-TRIGGERED.
- No entanto, para que possam ser interpretados correctamente, não devem haver variações nas entradas durante o pulso de relógio.
- Problema: se durante o pulso de relógio $R = 0$ e $S = 0 \rightarrow 1 \rightarrow 0$, esperar-se-ia que o flip-flop mantivesse o estado, pois a última ordem é de HOLD, no entanto, o Mestre respondeu à ordem de SET e é essa ordem que é passada ao Escravo (a este comportamento chama-se 1's catching).






Flip-Flops Edge-Triggered

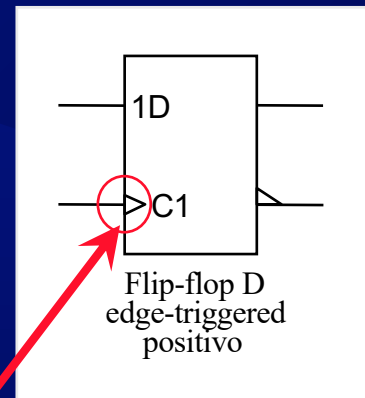
- ★ Os Flip-Flops Edge-Triggered reagem às entradas num determinado flanco do impulso de relógio, sendo independentes dos valores das entradas excepto num curto intervalo de tempo em torno desse flanco
- ★ FF Edge-Triggered positivos: reagem no flanco ascendente do impulso de relógio  (quando o relógio muda de L para H)
- ★ FF Edge-Triggered negativos: reagem no flanco descendente  (quando o relógio muda de H para L)



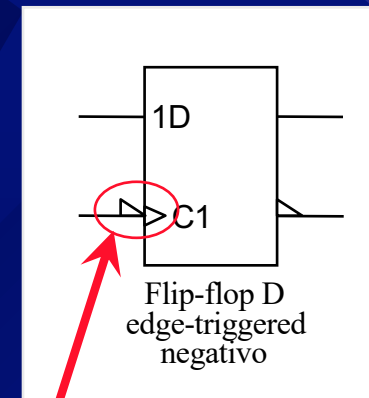
Flip-Flops D Edge Triggered

- ★ No flip-flop D edge-triggered positivo:
 - ★ A saída Q_H assume o estado da entrada D_H quando se dá uma transição $L \rightarrow H$ na entrada CP_H ;
 - ★ A saída Q_H mantém o estado, independentemente de D_H , enquanto CP_H está H, L ou ainda durante as transições $H \rightarrow L$ nessa linha
- ★ O flip-flop só reage quando na entrada CP_H ocorrem flancos ascendentes de impulsos
- ★ No FF D edge-triggered negativo, o comportamento é semelhante, mas a reacção é dada no flanco descendente do relógio

CP_H	D_H	Q_{n+1}
	L	L
	H	H
	X	Q_n
L	X	Q_n
H	X	Q_n



Indica que o FF é edge-triggered

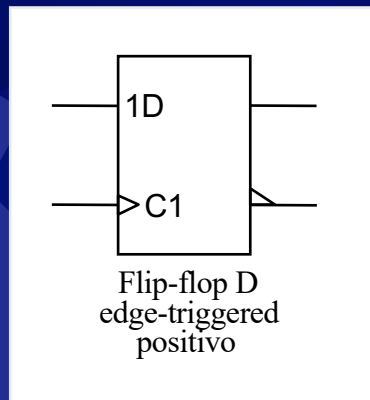


Indica que o FF é edge-triggered negativo

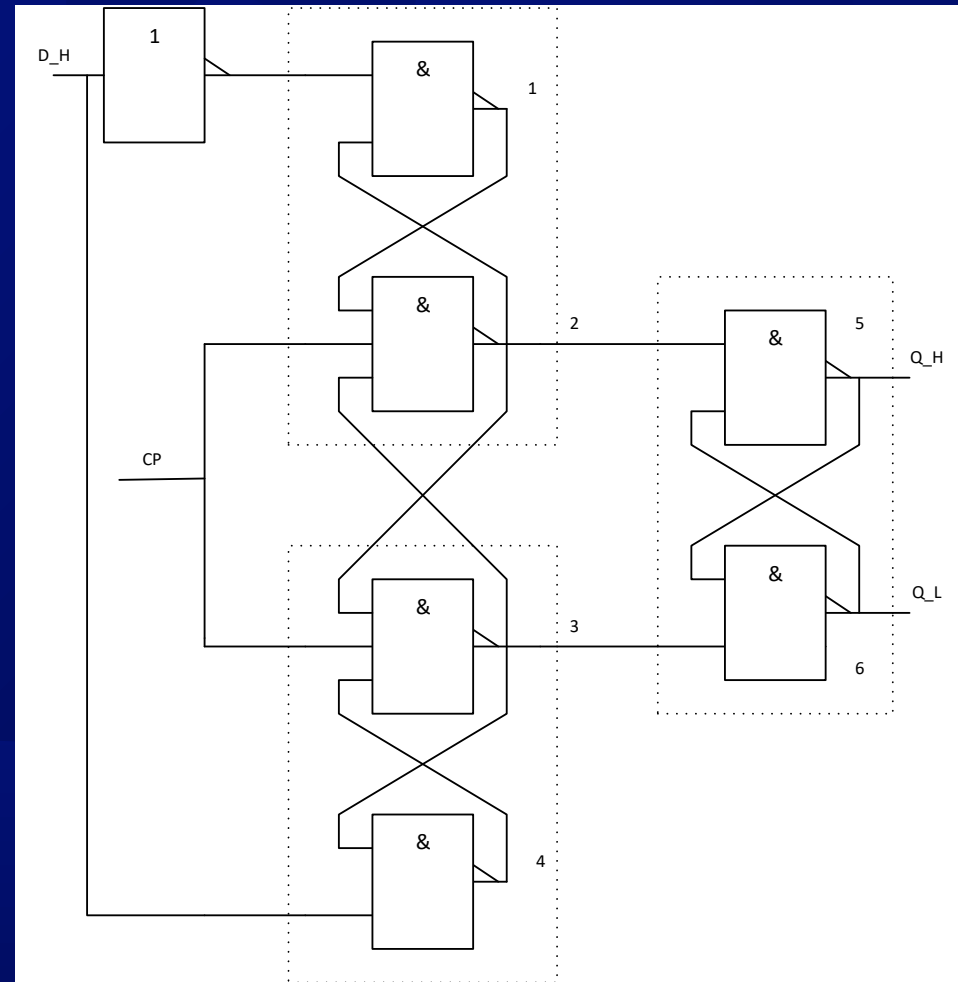


Flip-Flops D Edge Triggered (II)

- Exemplo de realização de um FF-D Edge Triggered:








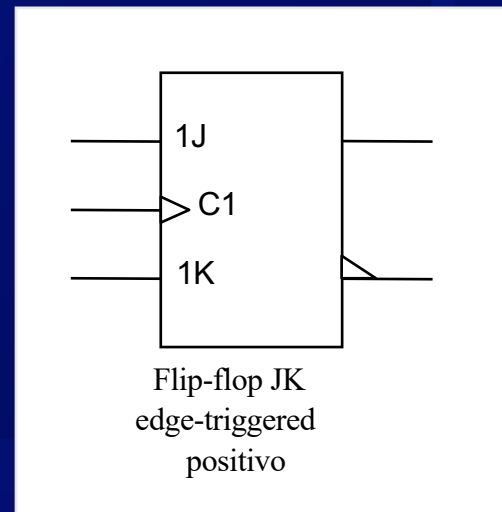
CP_H	D_H	Q_{n+1}
	L	L
	H	H
	X	Q_n
L	X	Q_n
H	X	Q_n



Flip-Flops JK Edge-Triggered

- ★ O comportamento do flip-flop JK edge-triggered positivo é semelhante ao do JK estudado anteriormente, com a diferença de que só reage às entradas no flanco ascendente do relógio
 - ★ Nota: É óbvio que este FF não apresenta o comportamento “1’s catching”

CP_H	J_H	K_H	Q_{n+1}
	L	L	Q_n
	L	H	L
	H	L	H
	H	H	$\overline{Q_n}$
	X	X	Q_n
L	X	X	Q_n
H	X	X	Q_n







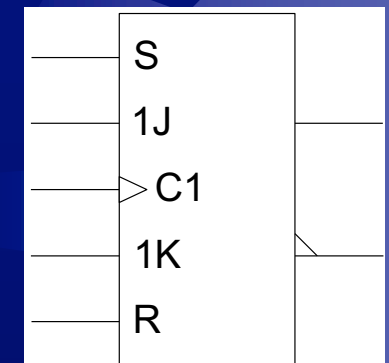
J	K	Q_{n+1}	
0	0	Q_n	HOLD
0	1	0	RESET
1	0	1	SET
1	1	$\overline{Q_n}$	TOGGLE



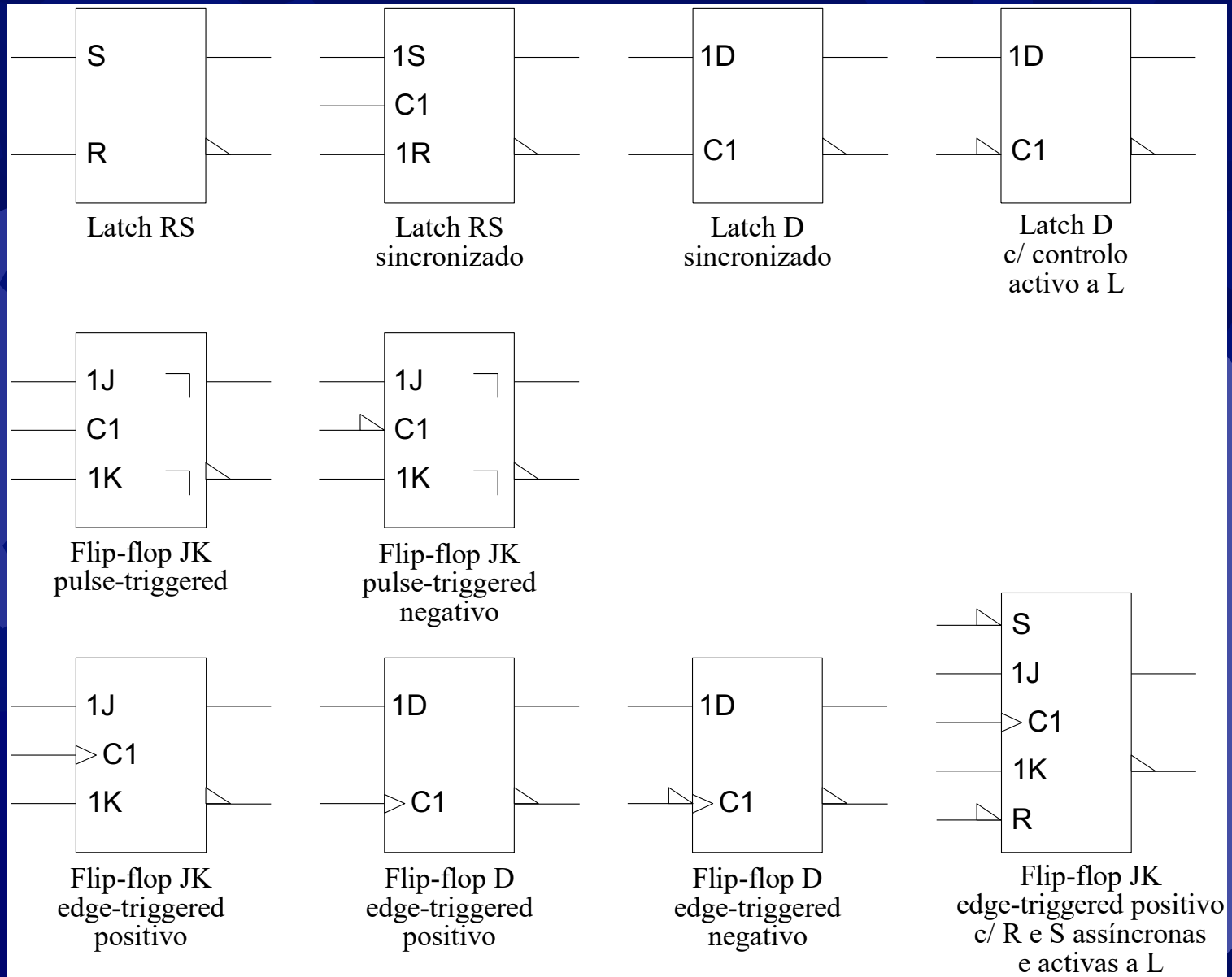
Entradas Assíncronas

- ✦ Alguns flip-flops incluem entradas adicionais que permitem fazer o SET ou o RESET assíncronamente, i.e., independentemente do relógio.
 - ✦ A entrada de Set assíncrono é também às vezes designada por “direct set” ou “preset”;
 - ✦ A entrada de Reset assíncrono é também às vezes designada por “direct reset” ou “clear”.
- ✦ Exemplo – FF JK com R e S assíncronos:

S_H	R_H	CP_H	J_H	K_H	Q_{n+1}
L	L		L	L	Q_n
L	L		L	H	L
L	L		H	L	H
L	L		H	H	$\overline{Q_n}$
H	L	X	X	X	H
L	H	X	X	X	L
H	H	X	X	X	U



Simbologia



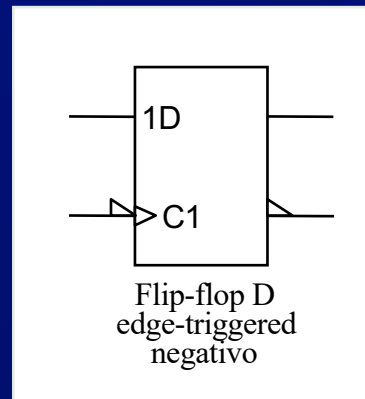
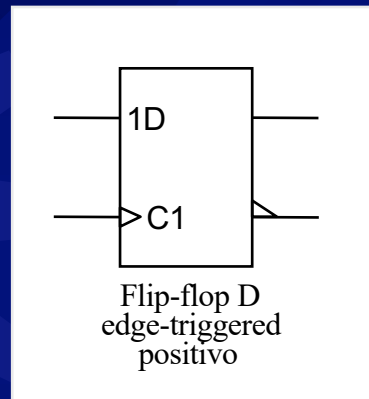
FFs e Latches for Dummies

- ☀ FFs e Latches são circuitos digitais que permitem memorizar um bit
- ☀ A saída de um FF muda no máximo uma vez em cada period de relógio (um Latch não tem essa restrição)
- ☀ Os diferentes tipos de Latches e FFs permitem diferentes funcionalidades (uns mais que outros), por exemplo:
 - ☀ Colocar saída a '1' (Set);
 - ☀ Colocar saída a '0' (Reset);
 - ☀ Manter estado anterior (Hold);
 - ☀ Trocar estado anterior (Toggle);
 - ☀ Fazer Set (Preset) ou Reset (Clear) de forma assíncrona;
- ☀ Diferentes tipos de FFs reagem ao sinal de relógio de forma diferente

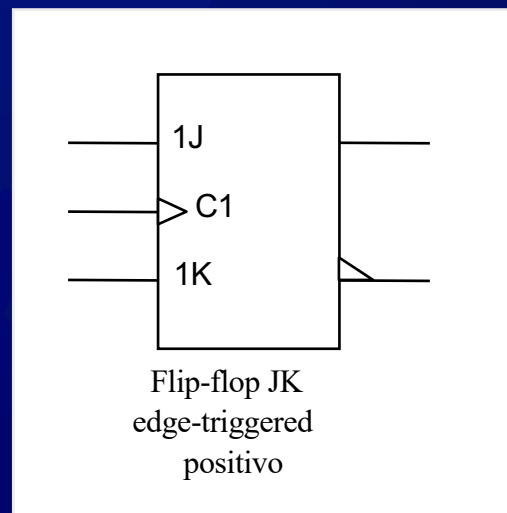


FFs e Latches for Dummies (II)

- FFs Edge Triggered são os mais importantes e só reagem durante um dos flancos de transição do relógio



D	Q_{n+1}	
0	0	RESET
1	1	SET

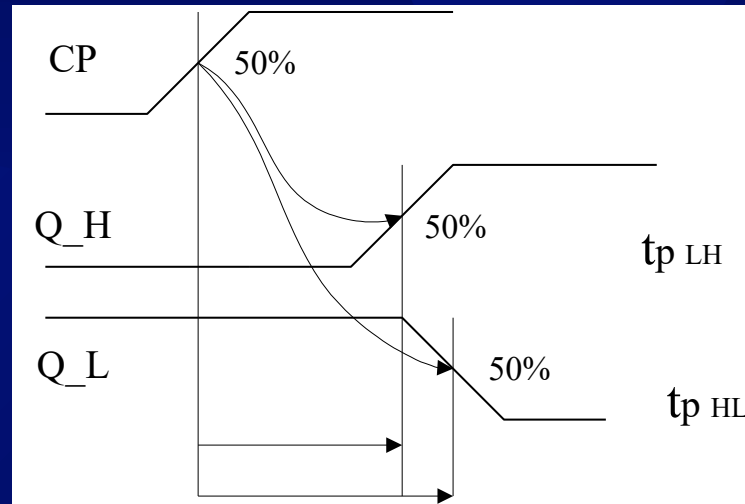


J	K	Q_{n+1}	
0	0	Q_n	HOLD
0	1	0	RESET
1	0	1	SET
1	1	\bar{Q}_n	TOGGLE

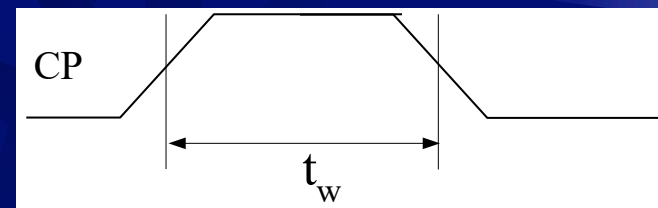


Caracterização Temporal

- Tempo de atraso ou de propagação:

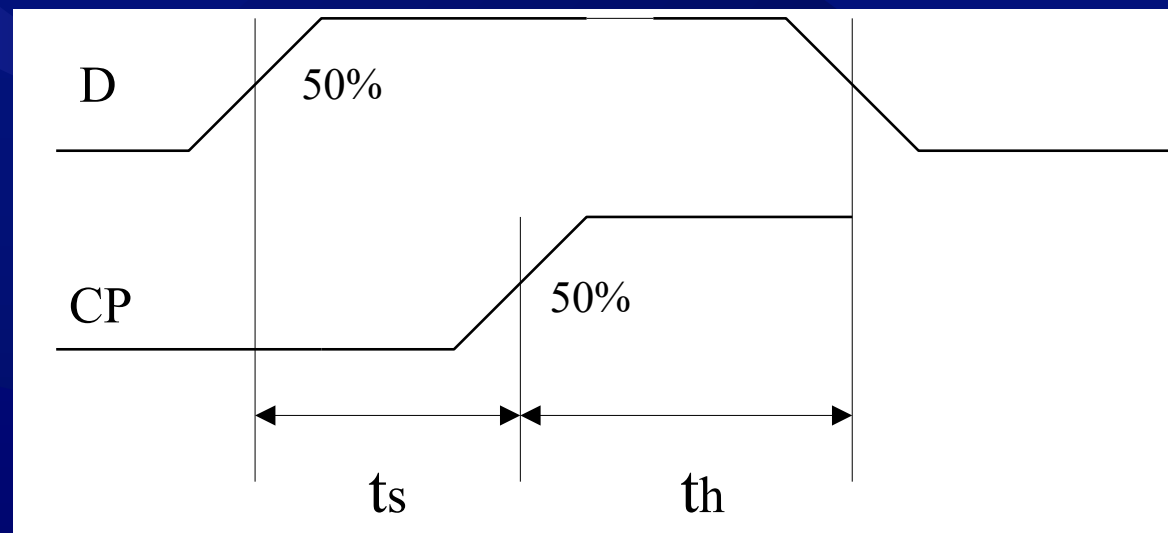


- Duração mínima de um pulso de relógio:



Tempos de Preparação e de Manutenção

- ✦ O tempo de preparação (t_s – SETUP) é a duração mínima do intervalo de tempo durante o qual as entradas de dados não podem variar antes da transição de relógio.
- ✦ O tempo de manutenção (t_H – HOLD) é a duração mínima do intervalo de tempo durante o qual as entradas de dados não podem variar após a transição de relógio.



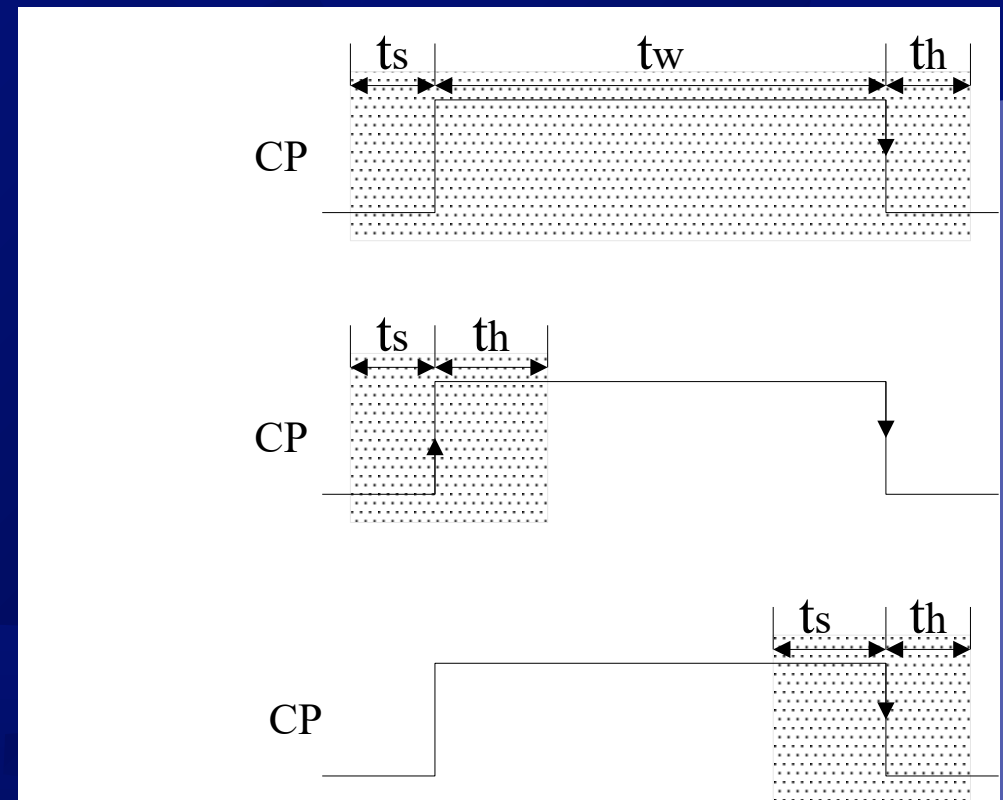
Caracterização Temporal (II)

- Caracterização dos t_s , t_w e t_h para diversos FFs:

Pulse Triggered (Master-Slave)

Edge-Triggered Positivo

Edge-Triggered Negativo



Metodologia de Sincronização Temporal

- ✦ A utilização de uma metodologia de sincronização temporal correcta garante o funcionamento adequado do circuito.
- ✦ Para sistemas síncronos, o funcionamento adequado significa que, para cada evento de relógio, todos os FFs examinam as suas entradas e determinam os seus novos estados. Isto obriga a que:
 - os valores de entrada correctos têm de ser disponibilizados, a tempo, aos FFs que vão mudar de estado;
 - nenhum flip-flop pode mudar de estado mais do que uma vez durante o mesmo evento de relógio.

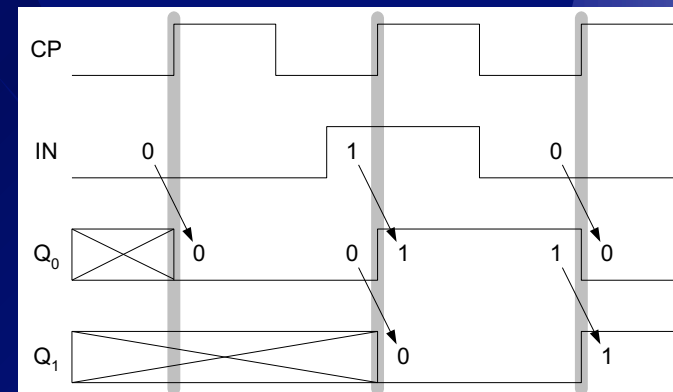
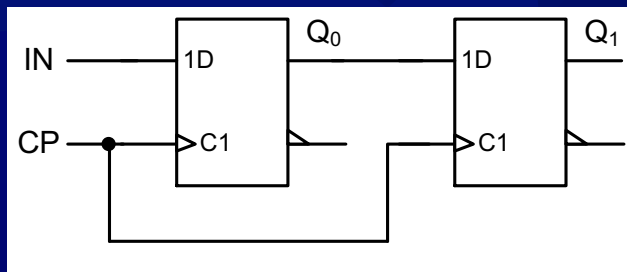
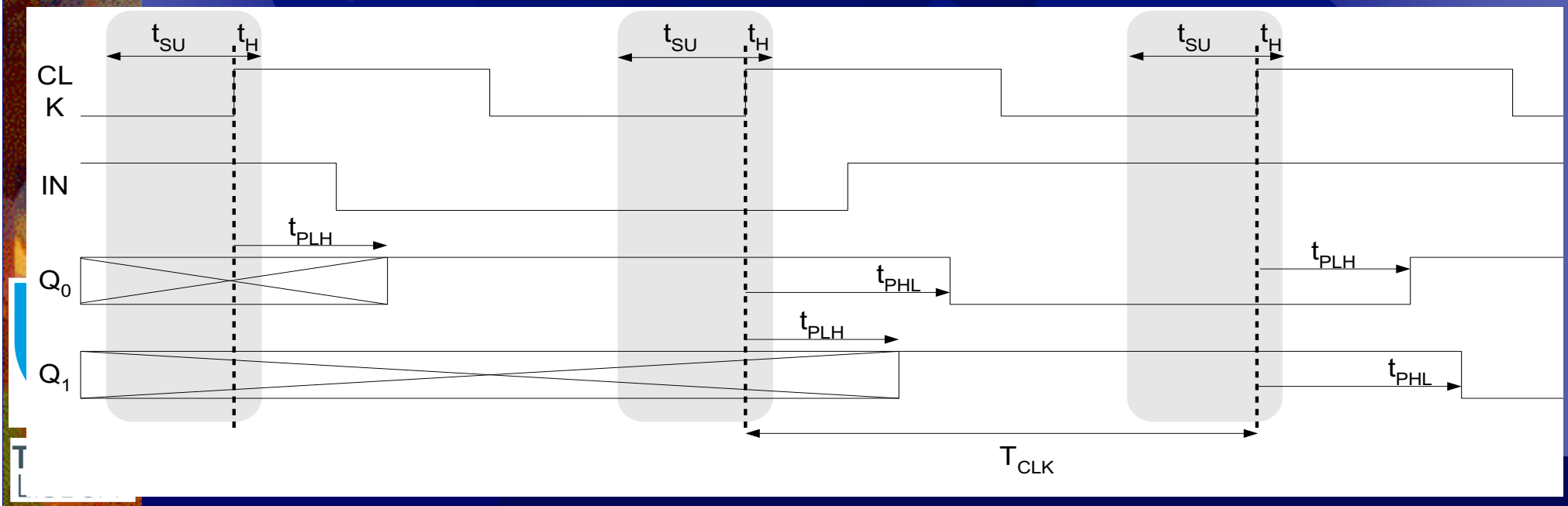


Diagrama Temporal considerando os tempos de atraso desprezáveis

Comportamento Temporal

- As entradas dos FFs têm de estar estáveis um intervalo de tempo t_s antes do flanco de relógio, e um intervalo de tempo t_H depois do flanco de relógio.
- O tempo de propagação de um FF é habitualmente muito maior que o tempo de hold, portanto a verificação da condição de hold nunca é problema.
- Para garantir a condição de setup é necessário que a variação provocada pelo 1º evento de relógio, chegue à entrada do FF algum tempo antes do flanco de relógio seguinte (esse tempo é o tempo de setup).



Comportamento Temporal (II)

- Para uma frequência de relógio demasiado elevada, o circuito deixa de funcionar correctamente:

O funcionamento correcto exige:

$$t_{P_{FF}} \leq T_{CLK} - t_{SU}$$

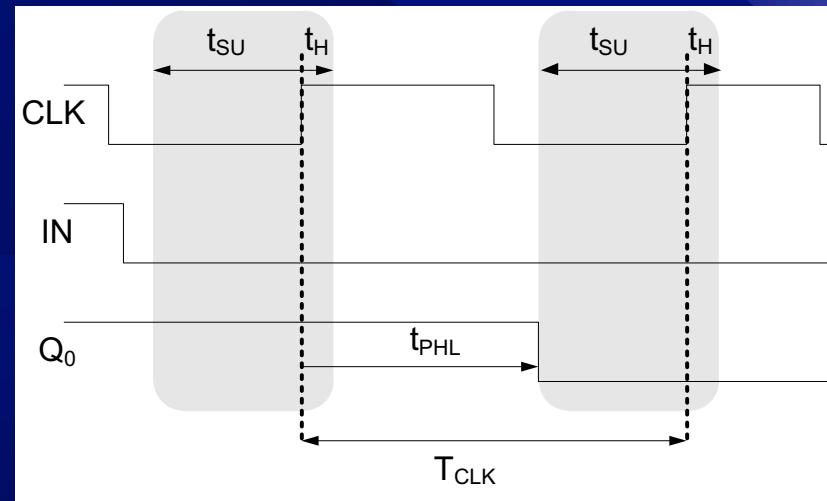
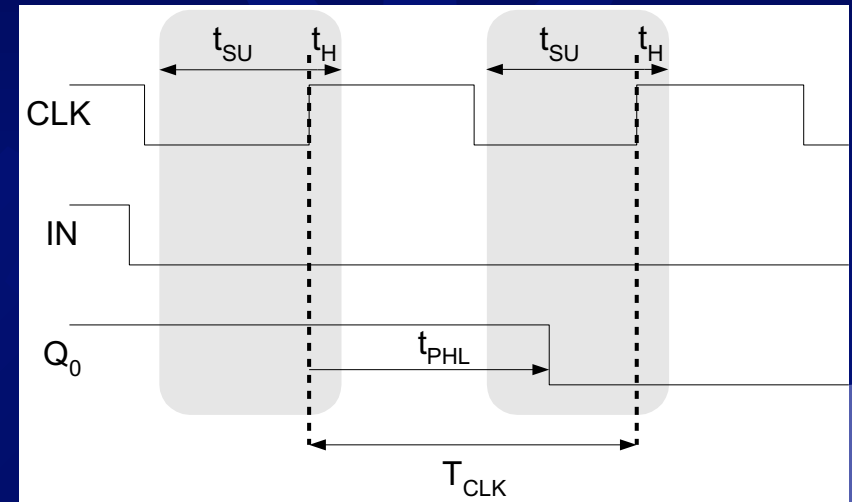
$$T_{CLK} \geq t_{P_{FF}} + t_{SU}$$

$$f_{CLK} \leq \frac{1}{t_{P_{FF}} + t_{SU}}$$

O caso limite é:

$$T_{\min_{CLK}} = t_{P_{FF}} + t_{SU}$$

$$f_{\max_{CLK}} = \frac{1}{t_{P_{FF}} + t_{SU}}$$



Bibliografia

- ✦ Arroz,G., Monteiro,J.C., Oliveira,A.,
“Arquitectura de Computadores, dos
Sistemas Digitais aos Microprocessadores”,
secções 6.1 a 6.4, 2ª Edição, 2009
- ✦ Mano,M., Kime,C. – “Logic and Computer
Design Fundamentals”, Prentice Hall, secções
4.1, 4.2, 4.3

